

< DIPIPM >

1200V 小型 DIPIPM アプリケーションノート

PSS**S72FT

DIPIPM アプリケーションノート目次

第1章 製品の概要	2
1.1 1200V小型DIPIPM の特長	2
1.2 搭載機能	3
1.3 用途	4
1.4 製品ラインナップ	4
第2章 DIPIPM のスペック	5
2.1 DIPIPM のスペック	5
2.1.1 最大定格	5
2.1.2 電気的特性 熱抵抗	7
2.1.3 電気的特性および推奨使用条件	8
2.1.4 機械的定格および特性	10
2.2 保護機能とシーケンス	11
2.2.1 短絡保護	11
2.2.2 制御電源電圧低下保護	13
2.2.3 温度出力機能 V_{OT}	15
2.3 DIPIPM のパッケージ	19
2.3.1 外形図	19
2.3.2 マーキング	20
2.3.3 端子配列と名称	21
2.4 DIPIPM の取り付け方法	23
2.4.1 DIPIPM の絶縁距離	23
2.4.2 DIPIPM の取り付け方法と注意点	23
2.4.3 はんだ付け条件	25
第3章 DIPIPM の使用方法	26
3.1 DIPIPM の使用方法と応用	26
3.1.1 システム接続例	26
3.1.2 インターフェイス回路例（直接入力時、N側エミッタ共通配線時）	27
3.1.3 インターフェイス回路例（フォトカプラ駆動）	28
3.1.4 N側エミッタ分割仕様(3シャント)動作時の外部SC保護回路例	29
3.1.5 DIPIPMの信号入力端子とFo端子	29
3.1.6 スナバコンデンサの接続	31
3.1.7 外部シャント抵抗周辺回路の接続	32
3.1.8 PCB設計時の注意点について	34
3.1.9 DIPIPMの並列動作について	35
3.1.10 SOA(スイッチング時、短絡時)	35
3.1.11 短絡SOA	36
3.1.12 動作寿命について	37
3.2 損失と放熱設計	38
3.2.1 損失計算方法(例)	38
3.2.2 温度上昇の考え方と計算例	40
3.3 ノイズ・静電気耐量	41
3.3.1 測定回路	41
3.3.2 対策と注意事項	41
3.3.3 静電気耐量について	42
第4章 ブートストラップ回路動作	44
4.1 ブートストラップ回路動作	44
4.2 ブートストラップ電源回路電流	45
4.3 ブートストラップ回路定数設定時の注意点	46
4.4 ブートストラップ回路使用時の初期充電について	47
第5章 その他	48
5.1 梱包仕様	48
5.2 取り扱いの注意	49

第1章 製品の概要

1.1 1200V 小型 DIIPM の特長

1200V 小型 DIIPM は、パワー素子、および駆動・保護回路をトランスファーモールド方式により1パッケージに集積した入力電圧 AC400V～440V の小容量モータ制御用インバータに最適なインテリジェントパワーモジュール(IPM)です。損失改善、付加機能の追加、電流定格ラインナップの拡大など様々な改善を盛り込み新規開発しました。その主な特長は、以下のとおりです。

- ・新開発の6世代 CSTBT(電荷蓄積型トレンチ IGBT)を搭載し、効率を改善。
- ・P 側駆動電源用に電流制限抵抗付きブートストラップダイオード(BSD)を搭載し、外付けの抵抗・BSD は不要。
- ・IPM の温度情報として制御 IC 部温度をアナログ信号で出力する機能を新規に搭載。
- ・外形は従来品の小型 DIIPM Ver.4 と同等(ただし、一部端子形状・配列は変更となります)

図 1-1-1 に外観写真、図 1-1-2 に内部構造断面図を示します。

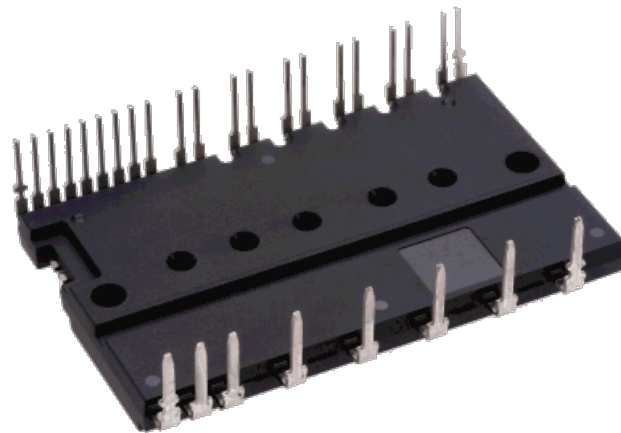


図 1-1-1 外観写真

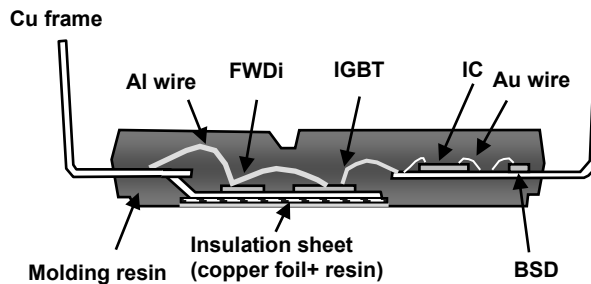


図 1-1-2 内部断面構造図

1.2 搭載機能

1200V 小型 DIIPM シリーズの主な搭載機能は以下のとおりです。図 1-2-1 に内部回路図を示します。

- (1) P 側 IGBT 用:
駆動回路、高圧レベルシフト回路、
制御電源電圧低下(UV)保護機能(エラー出力無し)
ブートストラップダイオード(BSD)搭載 (電流制限抵抗内蔵)
- (2) N 側 IGBT 用:
駆動回路
短絡(SC)保護機能(DIIPM 外部の電流検出抵抗の電圧を検出し、DIIPM ヘフィードバックして実施)
制御電源電圧低下(UV)保護機能
温度出力機能(LVIC 部温度をアナログ信号にて外部出力)
- (3)エラー出力:
N 側 IGBT 短絡保護時及び N 側制御電源電圧低下時出力
- (4)IGBT 駆動電源:
DC15V 単一電源 (ブートストラップ方式使用時)
- (5)入力インターフェイス:
5V 対応、ハイアクティブ駆動
- (6)UL 認証済み:
UL1557 File E80276

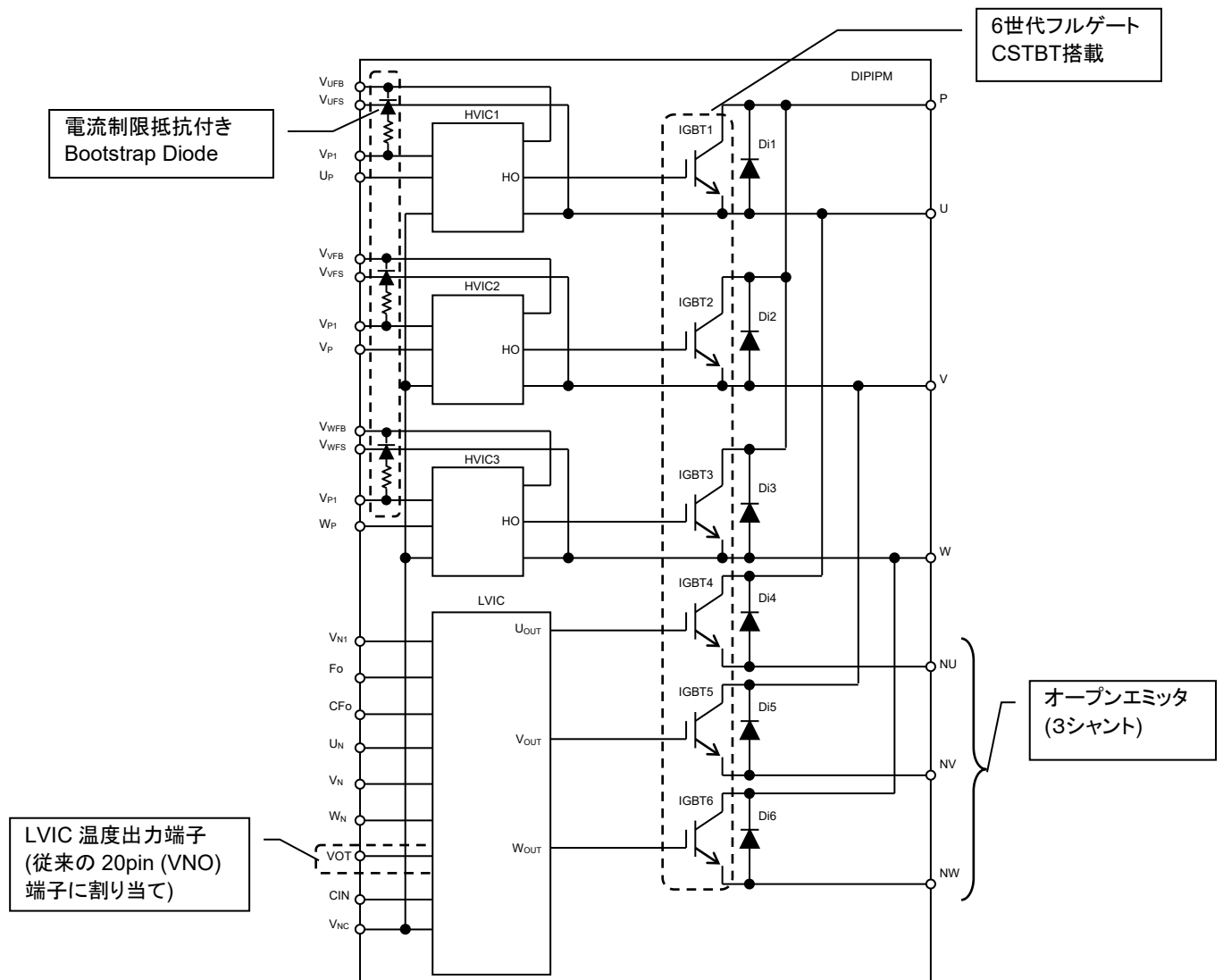


図 1-2-1 内部回路図

1.3 用途

小容量産業用、業務用エアコン用モータ駆動(ただし、車載用途を除く)

1.4 製品ラインナップ

表 1-4-1 1200V 小型 DIIPM 製品ラインナップ (小型 Ver.4 同等外形品)

形名 ^{注1)}	定格	モータ定格 ^{注1)}	絶縁耐電圧 Viso
PSS05S72FT	5A/1200V	0.75kW/440V _{AC}	AC2500Vrms 正弦波 60Hz,1min 全端子共通-放熱ヒートシンク間
PSS10S72FT	10A/1200V	1.5kW/440V _{AC}	

注1) モータ定格は、ご使用条件により変わります。

第2章 DIIPM のスペック

2.1 DIIPM のスペック

DIIPM のスペックを代表例 PSS10S72FT (10A/1200V)で説明します。
他の形名および詳細はデータシートを参照ください。

2.1.1 最大定格

PSS10S72FT (10A/1200V)の最大定格を、表 2-1-1 に示します。

表 2-1-1 PSS10S72FT (10A/1200V)の最大定格

インバータ部

記号	項目	条件	定格値	単位	
V_{CC}	電源電圧	P-NU, NV, NW端子間	900	V	←(1)
$V_{CC(surge)}$	電源電圧(サージ)	P-NU, NV, NW端子間	1000	V	←(2)
V_{CES}	コレクタ・エミッタ間電圧		1200	V	←(3)
$\pm I_C$	コレクタ電流 (注)	$T_c = 25^\circ\text{C}$	10	A	←(4)
$\pm I_{CP}$	コレクタ電流(ピーク)	$T_c = 25^\circ\text{C}$, 1ms以下	20	A	
T_j	接合温度		-30~+150	$^\circ\text{C}$	←(5)

注1. パルス幅及び周期は、接合温度で制限されます。

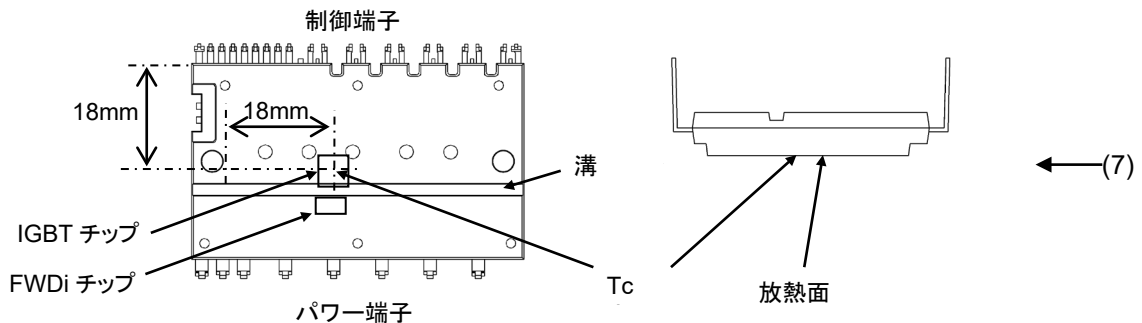
制御(保護)部

記号	項目	条件	定格値	単位
V_D	制御電源電圧	$V_{PI}-V_{NC}$, $V_{NI}-V_{NC}$ 端子間	20	V
V_{DB}	制御電源電圧	$V_{UFB}-V_{UFS}$, $V_{VFB}-V_{VFS}$, $V_{WFB}-V_{WFS}$ 端子間	20	V
V_{IN}	入力電圧	U_P , V_P , W_P , U_N , V_N , W_N - V_{NC} 端子間	$-0.5 \sim V_D + 0.5$	V
V_{FO}	エラー出力印加電圧	F_O-V_{NC} 端子間	$-0.5 \sim V_D + 0.5$	V
I_{FO}	エラー出力電流	F_O 端子のシンク電流値	1	mA
V_{SC}	電流検出入力電圧	$CIN-V_{NC}$ 端子間	$-0.5 \sim V_D + 0.5$	V

全システム

記号	項目	条件	定格値	単位	
$V_{CC(PROT)}$	電源電圧自己保護範囲 (短絡)	$V_D = 13.5 \sim 16.5\text{V}$, インバータ部 $T_j = 125^\circ\text{C}$ スタート, 2 μs 以内, 非繰り返し	800	V	←(6)
T_c	動作モジュール温度	T_c : 測定点は下図に規定	-30~+100	$^\circ\text{C}$	
T_{stg}	保存温度		-40~+125	$^\circ\text{C}$	
V_{iso}	絶縁耐圧	正弦波 60Hz, AC 1分間, 全端子共通-ヒートシンク間	2500	Vrms	

T_c 測定点



各項目の説明

- (1) V_{CC} 内蔵 IGBT がスイッチングしていない状態で、P-N 端子間に印加できる最大直流電源電圧。この電圧を超えるような場合は、ブレーキ回路等による制限をかける必要があります。
- (2) $V_{CC(surge)}$ 内蔵 IGBT がスイッチングしている状態で、P-N 端子間に印加可能なサージ電圧の最大値。この電圧を超えないように、スナバ回路の接続や母線のインダクタンスの低減が必要です。
- (3) V_{CES} 内蔵 IGBT の C-E 間に印加できる最大電圧定格。
- (4) $\pm I_C$ $T_c = 25^\circ\text{C}$ の条件で、連続通電可能な電流値。温度が高くなると連続通電可能な電流値は下がります。また、パルス幅と周期は接合温度で制限されます
- (5) T_j $T_c = 100^\circ\text{C}$ において、最大瞬間接合温度は 150°C ですが、安全動作させるための平均動作接合温度は $T_j \leq 125^\circ\text{C}$ (@ $T_c \leq 100^\circ\text{C}$) 以内を推奨します。繰り返される温度変化 ΔT_j は、パワーサイクル寿命に影響を与えます。
- (6) $V_{CC(PROT)}$ 内蔵の IGBT が短絡や過電流状態になった場合に、IPM の保護機能によって IGBT を安全に遮断できる最大電源電圧。この条件を超えると保護できず、素子破壊に至る可能性が高くなります。

1200V 小型 DIIPM シリーズ アプリケーションノート

- (7) T_c 測定点 UN相 IGBT チップの直下をケース温度 T_c の測定点と定義しています。正確な T_c を測定するためにヒートシンクを加工し、チップ直下に熱電対が位置するようにします。
P 側と N 側で制御方法が異なるなどの場合には、最も T_c が高くなる点が上記とは異なる可能性があります。そのような場合には、測定点を変更して最も損失が大きくなるパワーチップの直下で T_c を測定する必要があります。

[パワーチップ配置]

図 2-1-1 にパワーチップの位置を示します。(マーキング面から見た図です)

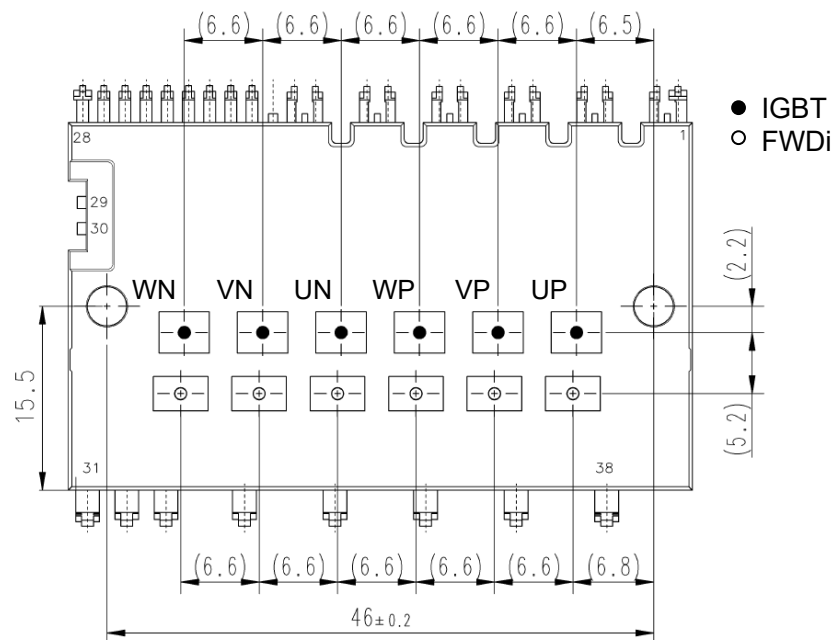


図 2-1-1 パワーチップ配置 (単位:mm)

1200V 小型 DIIPM シリーズ アプリケーションノート

2. 1. 2 電気的特性 熱抵抗

PSS10S72FT (10A/1200V)の熱抵抗規格を、表 2-1-2 に示します。

表 2-1-2 PSS10S72FT (10A/1200V)の熱抵抗規格

熱抵抗

記号	項目	条件	規格値			単位
			最小	標準	最大	
$R_{th(j-c)Q}$	接合・ケース間熱抵抗(注)	インバータIGBT (1/6 モジュール)	-	-	1.5	°C/W
$R_{th(j-c)F}$		インバータFWDi (1/6 モジュール)	-	-	1.8	°C/W

注 DIIPMと放熱ヒートシンクとの接触面には、熱伝導のよいグリースを100~200μm程度、均一になるように塗布の上、規定の締め付けトルクにて締め付けることを規定します。(またグリースは使用動作温度範囲内で変質せず、経年変化のないものとします。)

ただし、製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚20μm、グリースの熱伝導率が1.0W/m・Kの場合の製品放熱面-ヒートシンク間熱抵抗値(1/6モジュール)は0.3°C/Wとなります。

上記規格は、接合-ケース間の定常時の熱抵抗を示しています。1200V 小型 DIIPM の熱抵抗は、およそ 10 秒で飽和し、定常状態になります。飽和前の 10 秒以下での熱抵抗を過渡熱抵抗と呼び、図 2-1-3 のようになります。

図 2-1-3 の過渡熱抵抗 $Z_{th(j-c)}$ の "1" が、上記定常時の熱抵抗値に相当します。

PSS10S72FT の IGBT 部の 0.2 秒における過渡熱抵抗値は、 $1.5(°C/W) \times 0.8 = 1.2(°C/W)$ となります。

過渡熱抵抗は、定常的に流れるのではなく短時間(ms オーダ)の電流が流れる場合(例えばモータ起動時や短時間のロック時など)の温度上昇を検討する場合に使用します。

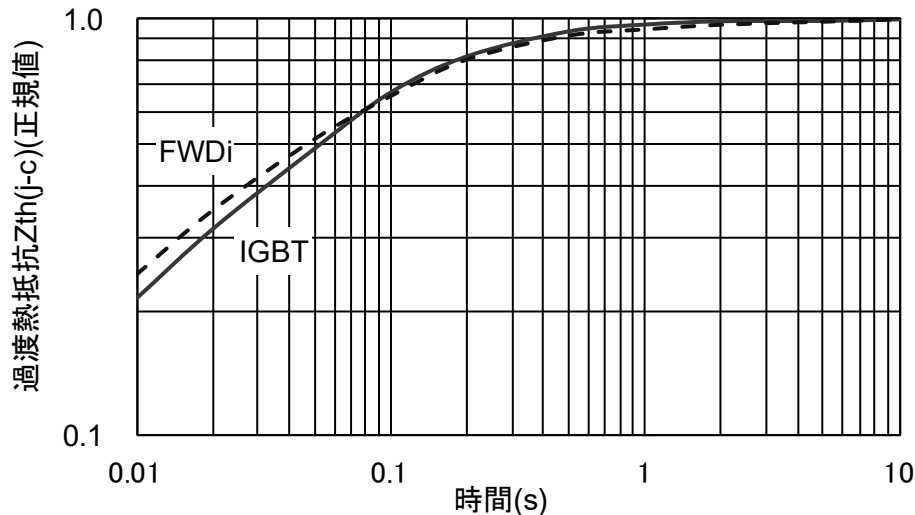


図 2-1-3 PSSxxS72FT の過渡熱抵抗特性(代表例)

2. 1. 3 電気的特性および推奨使用条件

PSS10S72FT (10A/1200V)の静特性およびスイッチング特性の規格を、表 2-1-3 に示します。

表 2-1-3 PSS10S72FT (10A/1200V)の静特性およびスイッチング特性規格

インバータ部 (指定のない場合は、 $T_j = 25^\circ\text{C}$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
$V_{CE(sat)}$	コレクタ・エミッタ間飽和電圧	$V_D = V_{DB} = 15\text{V}, V_{IN} = 5\text{V}, I_C = 10\text{A}$	$T_j = 25^\circ\text{C}$	-	1.50	2.20	V
			$T_j = 125^\circ\text{C}$	-	1.75	2.50	
V_{EC}	FWDi順電圧降下	$V_{IN} = 0\text{V}, -I_C = 10\text{A}$	-	1.90	2.40	V	
t_{on}	スイッチング時間	$V_{CC} = 600\text{V}, V_D = V_{DB} = 15\text{V}$ $I_C = 10\text{A}, T_j = 125^\circ\text{C}, V_{IN} = 0 \leftrightarrow 5\text{V}$ 誘導負荷(上—下アーム)	-	1.10	1.80	μs	
$t_{c(on)}$			-	0.45	0.90	μs	
t_{off}			-	2.40	3.40	μs	
$t_{c(off)}$			-	0.40	0.80	μs	
t_r			-	0.50	-	μs	
I_{CES}	コレクタ・エミッタ間遮断電流	$V_{CE} = V_{CES}$	$T_j = 25^\circ\text{C}$	-	-	1	mA
			$T_j = 125^\circ\text{C}$	-	-	10	

スイッチング時間の定義、および測定方法については、図 2-1-4、図 2-1-5 に示します。
スイッチングは L 負荷(誘導負荷)ハーフブリッジ回路で測定しています。

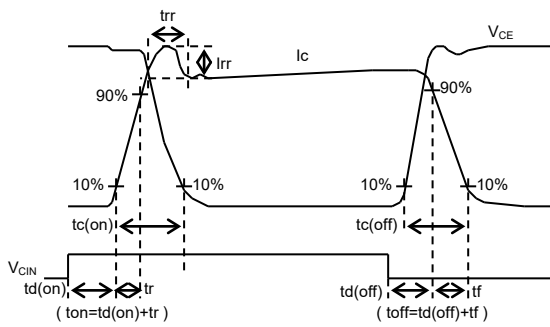


図 2-1-4 スwitchング時間の定義

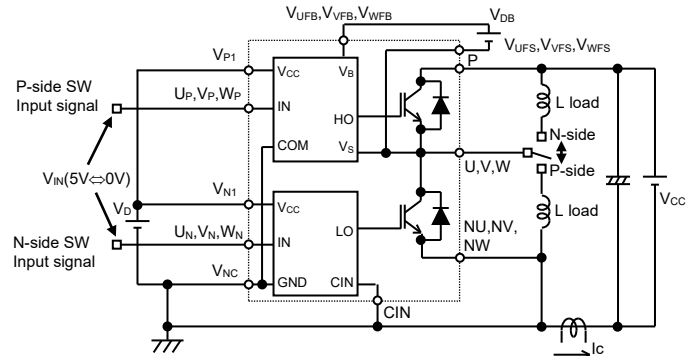


図 2-1-5 L 負荷ハーフブリッジ測定回路

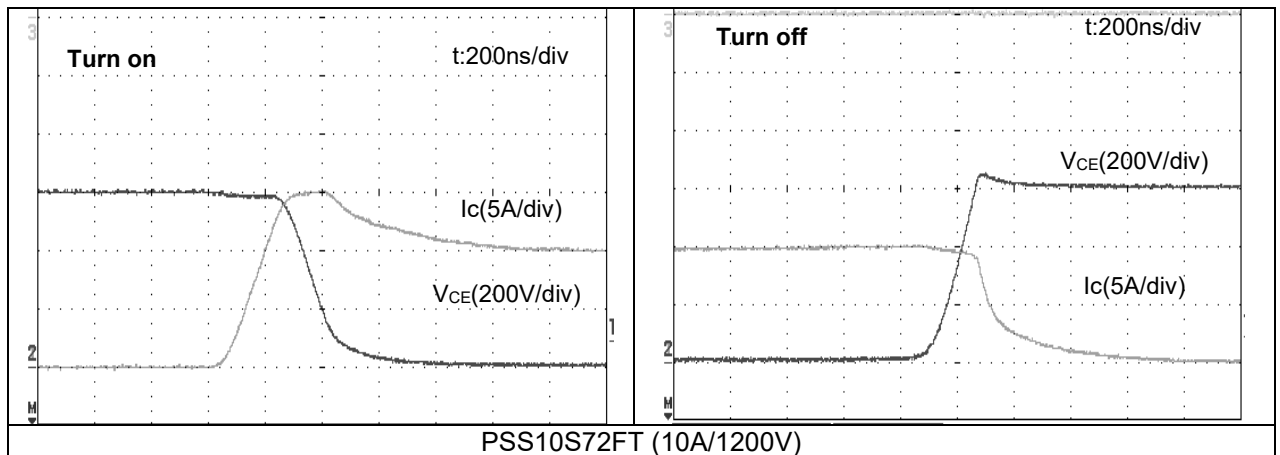


図 2-1-6 スwitchング波形(代表例) 測定条件: $V_{CC} = 600\text{V}, V_D = V_{DB} = 15\text{V}, T_j = 125^\circ\text{C}, L$ 負荷ハーフブリッジ, $I_C = 10\text{A}$

1200V 小型 DIIPM シリーズ アプリケーションノート

PSS10S72FT (10A/1200V)の制御(保護)部の規格を、表 2-1-4 に示します。

表 2-1-4 PSS10S72FT (10A/1200V)の制御(保護)部規格

制御(保護)部 (指定のない場合は、 $T_j = 25^\circ\text{C}$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_D	回路電流	$V_{P1}-V_{NC}, V_{N1}-V_{NC}$ の総和	$V_D=15\text{V}, V_{IN}=0\text{V}$	-	-	6.00	mA
			$V_D=15\text{V}, V_{IN}=5\text{V}$	-	-	6.00	
I_{DB}		$V_{UFB}-V_{UFS}, V_{VFB}-V_{VFS}, V_{WFB}-V_{WFS}$	$V_D=V_{DB}=15\text{V}, V_{IN}=0\text{V}$	-	-	0.55	
			$V_D=V_{DB}=15\text{V}, V_{IN}=5\text{V}$	-	-	0.55	
$V_{SC(\text{ref})}$	短絡保護トリップレベル	$V_D=15\text{V}$ (注1)	0.45	0.48	0.51	V	
UV_{DBt}	P側制御電源電圧低下保護	$T_j \leq 125^\circ\text{C}$	トリップレベル	10.0	-	12.0	V
UV_{DBr}			リセットレベル	10.5	-	12.5	V
UV_{Dt}	N側制御電源電圧低下保護		トリップレベル	10.3	-	12.5	V
UV_{Dr}			リセットレベル	10.8	-	13.0	V
V_{OT}	アナログ温度出力	ブルダウン抵抗 $R=5\text{k}\Omega$ LVIC温度 $=85^\circ\text{C}$ (注2)	2.51	2.64	2.76	V	
V_{FOH}	エラー出力電圧	$V_{SC} = 0\text{V}, F_o = 10\text{k}\Omega, 5\text{V}$ プルアップ	4.9	-	-	V	
V_{FOL}		$V_{SC} = 1\text{V}, I_{FO} = 1\text{mA}$	-	-	0.95	V	
t_{FO}	エラー出力パルス幅	$C_{FO}=22\text{nF}$ (注3)	1.6	2.4	-	ms	
I_{IN}	入力電流	$V_{IN} = 5\text{V}$	0.70	1.00	1.50	mA	
$V_{th(\text{on})}$	入力オンしきい電圧	$U_P, V_P, W_P, U_N, V_N, W_N-V_{NC}$ 端子間	-	-	3.5	V	
$V_{th(\text{off})}$	入力オフしきい電圧		0.8	-	-	V	
V_F	ブートストラップDi順電圧降下	$I_F=10\text{mA}$, 制限抵抗の電圧降下含む	0.5	0.9	1.3	V	
R	制限抵抗値	ブートストラップDiに内蔵	16	20	24	Ω	

注1. 短絡保護は下アームのみ動作します。また、保護電流値は定格の1.7倍以下になるように外部抵抗を選定してください。

2. 温度出力機能付き仕様は、自身で温度保護動作はいたしません。 V_{OT} 出力が、設定の温度保護レベルに達した時は、システム側でスイッチング動作をただちに停止してください。

3. エラー出力は、短絡保護・N側(V_D)制御電源電圧低下保護時に出力します。 F_o 出力時間は、エラーモードにより異なります。SC保護の場合、 F_o 出力時間は、 $C_{FO}=(9.1 \times 10^{-6} \times t_{FO} [F])$ で規定した値となります。UV保護時には、UV状態が解消されるまで F_o 出力が続けます。(最小出力時間は、 C_{FO} で規定の値となります)

PSS10S72FT (10A/1200V)の推奨使用条件を、表2-1-5に示します。

DIIPMを安全に使用するためには、推奨使用条件範囲内で使用されるようお願いいたします。

表 2-1-5 PSS10S72FT (10A/1200V)の推奨使用条件

推奨使用条件

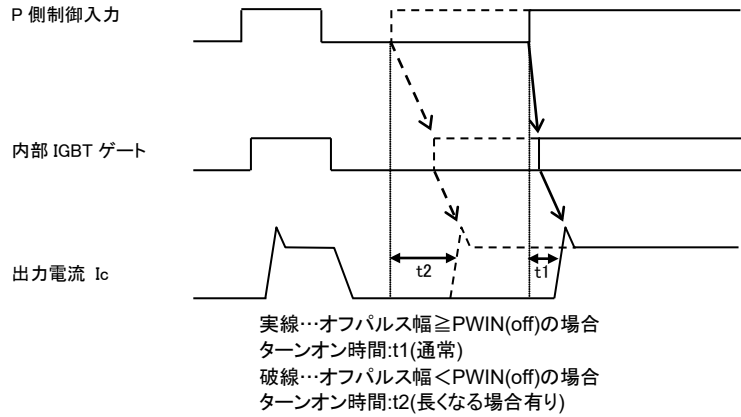
記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V_{CC}	電源電圧	P-NU, NV, NW 端子間	350	600	800	V	
V_D	制御電源電圧	$V_{P1}-V_{NC}, V_{N1}-V_{NC}$ 端子間	13.5	15.0	16.5	V	
V_{DB}	制御電源電圧	$V_{UFB}-V_{UFS}, V_{VFB}-V_{VFS}, V_{WFB}-V_{WFS}$ 端子間	13.0	15.0	18.5	V	
$\Delta V_D, \Delta V_{DB}$	制御電源電圧変動率		-1	-	+1	V/ μs	
t_{dead}	上下アーム休止時間	各アーム段入力に対応	3.0	-	-	μs	
f_{PWM}	PWM制御入力信号	$T_c \leq 100^\circ\text{C}, T_j \leq 125^\circ\text{C}$	-	-	20	kHz	
I_o	許容実効電流	$V_{CC} = 300\text{V}, V_D = V_{DB} = 15\text{V}, P.F = 0.8$, 正弦波出力 $T_c \leq 100^\circ\text{C}, T_j \leq 125^\circ\text{C}$ (注1)	$f_{\text{PWM}} = 5\text{kHz}$	-	-	5.3	Arms
			$f_{\text{PWM}} = 15\text{kHz}$	-	-	3.6	
PWIN(on)	許容最小入力パルス幅	(注2)	2.0	-	-	μs	
PWIN(off)		$350 \leq V_{CC} \leq 800\text{V}, 13.5 \leq V_D \leq 16.5\text{V}, 13.0 \leq V_{DB} \leq 18.5\text{V}, -20^\circ\text{C} \leq T_c \leq 100^\circ\text{C}, N$ ライン配線インダクタンス 10nH 以下 (注3)	定格電流以下	2.5	-		-
			定格電流~ 定格電流 1.7倍	2.9	-	-	
V_{NC}	V_{NC} 端子変動	$V_{NC}-NU, NV, NW$ 端子間の電位差, サージ電圧含む	-5.0	-	+5.0	V	
T_j	接合温度		-20	-	+125	$^\circ\text{C}$	

注1. 許容実効電流は、使用条件によって変わります。

注2. PWIN(on)以下のパルス幅の入力オン信号には出力が応答しないことがあります。

注3. PWIN(off)以下のパルス幅の入力オフ信号には出力が応答しない、またはP側のみターンオン時間が大きくなる場合があります。ただし、この場合においても入力オンの状態にて出力オフの状態を維持し続けることはありません。詳細は下図のタイミング図を参照ください。また、Nライン配線インダクタンスについては、後述の外付けシャント抵抗周辺配線応用例を参照ください。

許容最小入力パルス幅 PWIN(off)以下の信号を印加した場合の出力動作(P 側のみ)



※制御電源電圧変動率について

制御 IC の電源ラインに高周波の急峻なノイズが重畳されると、IC の誤動作が起きて Fo を出力し、更には出力を停止 (ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が $\pm 1V/\mu s$ より穏やかになるよう、また、そのリップル電圧も $2Vp-p$ より小さくなるように、電源回路を設計してください。(規定: $dV/dt \leq 1V/\mu s$, $V_{ripple} \leq 2Vp-p$)

2. 1. 4 機械的定格および特性

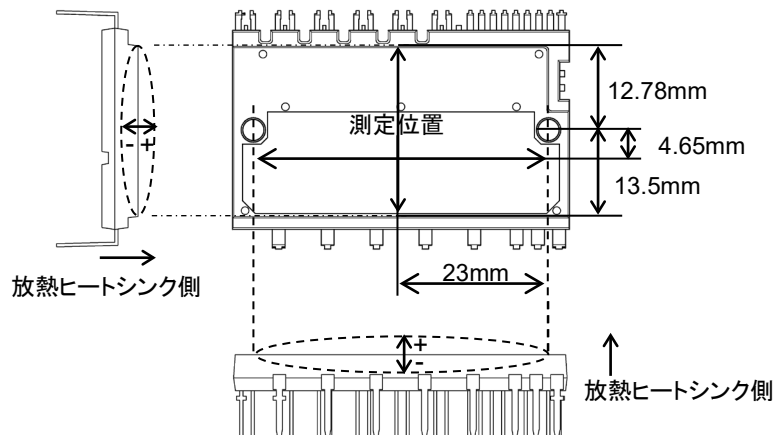
PSS10S72FT (10A/1200V)の機械的定格および特性規格を、表2-1-6に示します。
DIIPM の取り付け方法については、2.4項を参照ください。

表 2-1-6 PSS10S72FT (10A/1200V)の機械的定格および特性
機械的定格及び特性

項目	測定条件	準拠規格	規格値			単位
			最小	標準	最大	
締付けトルク強度	取付けネジ(M3) (注1)	-	0.59	-	0.98	N·m
端子引張り強度	荷重 9.8N	JEITA-ED-4701	10	-	-	s
端子曲げ強度	荷重 4.9Nにて90度曲げ	JEITA-ED-4701	2	-	-	回
質量		-	-	21	-	g
放熱面平面度	(注2)	-	-50	-	100	μm

注 1. 取り付けネジには平座金(推奨:JIS B1256)を使用してください。

注 2. 放熱面平面度測定位置



2. 2 保護機能とシーケンス

DIIPM には、保護機能として短絡保護、制御電源電圧低下保護と温度出力機能があります。各保護機能の動作シーケンスを示します。

2. 2. 1 短絡保護

1. 概要

DIIPMは、内部に電流検出手段を内蔵していませんので、外部にシャント抵抗(電流検出用抵抗)を接続する必要があります。このシャント抵抗に電流が流れることによって発生する電圧を、DIIPMのCIN端子にフィードバックさせることで、DIIPMの短絡保護が可能になります。CIN端子はコンパレータに接続されています。しきい値 $V_{SC}=0.48V$ (typ)で保護動作します。保護動作に入ると、N側のIGBT3相分のゲートを遮断し、Fo信号を出力します。スイッチング時のリカバリ電流や、ノイズによる短絡保護回路の誤動作を防ぐため、CIN端子入力にRCフィルタ(時定数 $1.5\sim 2\mu s$ 程度)を設置してください。また、シャント抵抗部の配線は可能な限り短くすることが必要です。また、Fo信号の検出後、P側の停止も含め速やかにシステムの停止を行ってください。

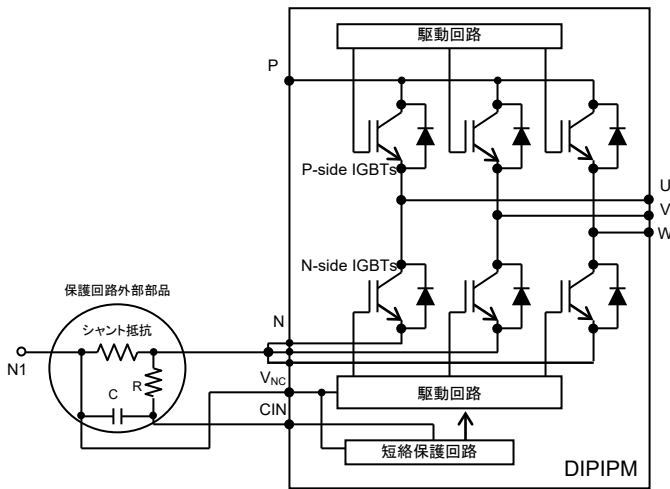


図 2-2-1 短絡保護回路(外部シャント周辺回路例)

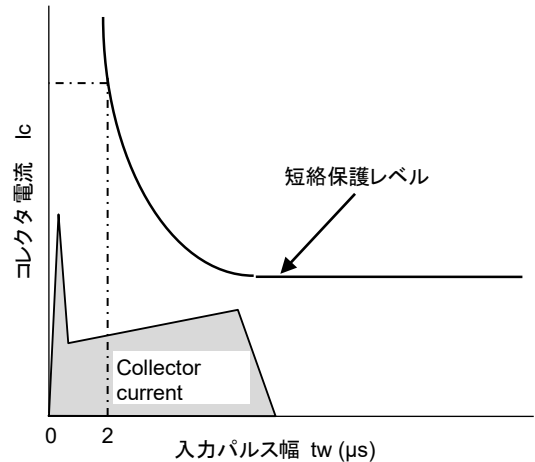


図 2-2-2 フィルタ設定

2. 短絡保護動作シーケンス

短絡保護動作シーケンス(N 側のみ)・・・外付けシャント抵抗, RC 時定数回路による保護

- a1. 正常動作=IGBT オン=出力電流有り
- a2. 過電流検出(SCトリガ)・・・RC 時定数は、 $2\mu s$ 以内に遮断するように最適遮断時間を設定 ($1.5\sim 2.0\mu s$ 以下推奨)
- a3. N側全相の IGBT ゲートをハード遮断
- a4. N側全相の IGBT がオフ
- a5. Fo 出力・・・Fo 出力時間は、外付けコンデンサ C_{FO} で設定
- a6. 入力 "L" = オフ
- a7. Fo 出力終了。入力 "H" 途中でも次のオン信号(L→H)が入力されるまで、IGBT はオフ状態。
(各相への入力で相ごとに通常状態に復帰します)
- a8. 正常動作=IGBT オン=出力電流有り

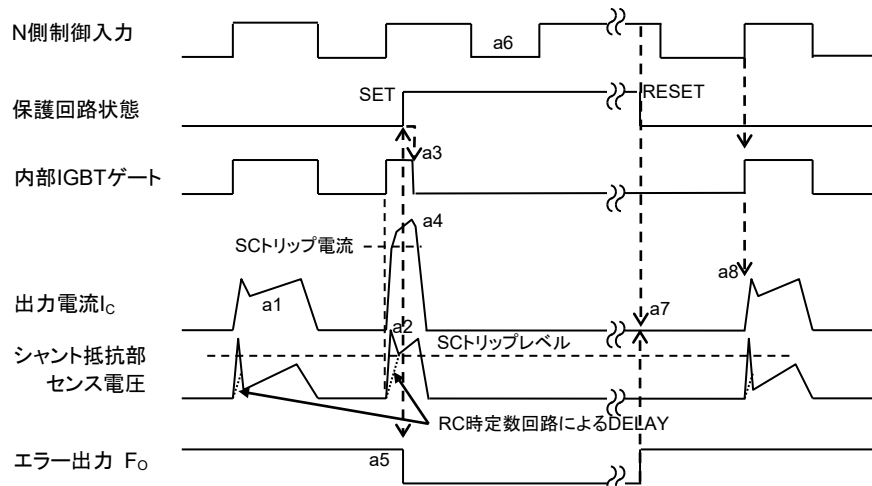


図 2-2-3 短絡保護動作シーケンス

3. シャント抵抗値の設定

(1) シャント抵抗値の設定

外部シャント抵抗値は、短絡保護トリップ電圧 $V_{SC(ref)}$ と遮断すべき電流設定値 SC から次式で設定します。

$$\text{外部シャント抵抗値 } R_{Shunt} = V_{SC(ref)} / SC$$

SC レベルの max 値は、シャント抵抗のばらつき・変動や $V_{sc(ref)}$ のばらつきを考慮して、DIIPM の飽和電流最小値以下となるように設定する必要があります。1200V 小型 DIIPM では、短絡保護推奨設定値は、定格電流の 1.7 倍ですので、それ以下になるように外部シャント抵抗値を設定してください。

例として PSS10S72FT で SC レベルを 17A (定格 10Ax1.7) とした場合の設定を下記に示します。

1200V 小型 DIIPM の短絡保護トリップ電圧のばらつきを表 2-2-1 に示します。

表 2-2-1 $V_{SC(ref)}$ の規格

項目	記号	条件	min.	typ.	max.	単位
短絡保護トリップレベル	$V_{SC(ref)}$	$T_j=25^\circ\text{C}, V_D=15\text{V}$	0.45	0.48	0.51	V

シャント抵抗値 R_{shunt} 及び $V_{sc(ref)}$ と SC 保護レベルの関係は、ばらつきを考慮した場合、下記のようになります。

$$R_{Shunt \text{ min. 値}} = V_{SC(ref) \text{ max. 値}} / SC \text{ max. 値} (= \text{定格電流の 1.7 倍})$$

$$R_{Shunt \text{ typ. 値}} = R_{Shunt \text{ min. 値}} / 0.95^* \text{ よって } S_{ctyp. 値} = V_{SC(ref) \text{ typ. 値}} / R_{Shunt \text{ typ. 値}}$$

$$R_{Shunt \text{ max. 値}} = R_{Shunt \text{ typ. 値}} \times 1.05^* \text{ よって } S_{cmin. 値} = V_{SC(ref) \text{ min. 値}} / R_{Shunt \text{ max. 値}}$$

*) ここではシャント抵抗のばらつきを $\pm 5\%$ とする。

以上より SC レベルの動作範囲は表 2-2-2 のようになります。

表 2-2-2 SC の動作範囲 (シャント抵抗値 min. 30m Ω , typ. 31.6m Ω , max. 33.2m Ω)

条件	min.	typ.	max.
$T_j=25^\circ\text{C}, V_D=15\text{V}$ での SC 動作範囲	13.5A	15.2 A	17 A

(例: 30m Ω ($R_{shunt \text{ min.}}$) = 0.51V (= $V_{SC(ref) \text{ max.}}$) / 17A (= $S_{cmax.}$)

外部配線の寄生インダクタンスや寄生容量に起因する共振波形により、設計値より低い電流で保護回路が動作することがあります。抵抗値は最終的には実機で評価・調整する必要があります。

(2) RC 時定数の設定

RC フィルタ回路は、シャント抵抗に発生するノイズによる SC 保護回路の誤動作を防止と、過負荷時に十分な電流を流すことを目的としています。ノイズの印加時間と素子の耐量から RC 時定数を設定します。(推奨は 1.5~2.0 μs)

外部シャント抵抗に SC レベルを超えると電圧が発生した後、RC フィルタを介し CIN 端子に電圧が印加される時間 t_1 は下記計算式により求められます。

計算式

$$V_{SC} = R_{shunt} \cdot I_c \cdot (1 - e^{-\frac{t_1}{\tau}})$$

$$t_1 = -\tau \cdot \ln\left(1 - \frac{V_{SC}}{R_{shunt} \cdot I_c}\right)$$

V_{sc} : 短絡保護トリップ電圧 $V_{SC(ref)}$ 、 R_{shunt} : シャント抵抗値、 I_c : ピーク電流値、 τ : RC 時定数、 t_1 : 遮断時間

また、CIN 端子に保護レベルを超える電圧が印加されてから、実際に IGBT のゲートが遮断されるまでには、下記表 2-2-3 に示すような IC 内部の遅れ時間 t_2 が掛かります。

表 2-2-3 SC 回路遅れ時間

項目	min.	typ.	max.	単位
SC 遮断時間	-	-	1.0	μs

従って、外部シャント抵抗に SC レベルを超える電圧が発生した後、IGBT のゲートを遮断するまでの時間 t_{TOTAL} は、下記となります。

$$t_{TOTAL} = t_1 + t_2$$

2. 2. 2 制御電源電圧低下保護

制御電源電圧が低下すると、IGBTのゲート電圧が下がることによる弊害が生じます。推奨電源電圧内でのご使用をお願いします。

制御電源電圧が低下すると、IGBTを保護するため、制御電源電圧低下保護(UV)が動作します。P側、N側の両方にUV回路はありますが、N側回路でUVが動作したときのみ、Fo信号を出力します。Fo信号は、制御電源電圧が低下している期間出力します。P側はIGBTのゲート遮断のみで、Fo信号は出力しません。

また、この保護回路には、ノイズ等による瞬間的な電圧低下での保護動作を除去するため、約10μs(標準値)のフィルタを内蔵しておりますので制御電源電圧がトリップ電圧(UV_{DBt}、UV_{Dt})まで低下した場合でも、約10μs以内であれば保護は働きません。

表 2-2-4 各制御電源電圧範囲での DIIPM の状態

制御電源電圧範囲(V _D , V _{DB})	状態
0-4.0V(P側,N側)	制御ICの正常動作電圧領域ではないため、電源電圧低下保護(UV)、Foなどの各種保護動作の正常動作は保証されません。 IGBTのしきい電圧以下であり、基本的にオンしませんが、外来ノイズ等により誤オンする可能性がありますので制御電源より先にDC-LINK電圧を立ち上げないでください。
4.0-UV _{Dt} (N側), UV _{DBt} (P側)	制御電源電圧低下保護(UV)動作範囲内 制御入力信号を加えても、スイッチング動作を停止しています。 電源電圧低下保護(UV)が動作し、Foを出力します。
UV _{Dt} (N側)-13.5V UV _{DBt} (P側)-13.0V	スイッチング動作します。但し推奨範囲外ですので、DIIPMの仕様書で規定しているV _{CE(sat)} ・スイッチング時間共に規格値を外れてコレクタ損失が増加し、接合温度が上昇する可能性があります。
13.5~16.5V(N側) 13.0~18.5V(P側)	推奨電源電圧範囲内 正常動作します。
16.5~20.0V(N側) 18.5~20.0V(P側)	スイッチング動作します。 但し、推奨範囲外ですので、スイッチング時間が高速になりすぎて、短絡時にはチップの短絡耐量が不足し、破壊することがあります。
20.0~	IPMの制御回路が破壊する可能性があります。

※リップルノイズの規定

制御ICの電源ラインに高周波の急峻なノイズが重畳されると、ICの誤動作が起きてFoを出力し、更には出力を停止(ゲート遮断)することがあります。この誤動作を回避するために、ノイズの変動成分が±1V/μsより穏やかになるよう、リップル電圧が2Vより小さくなるように、電源回路を設計してください。(規定:dV/dt≤1V/μs, V_{ripple}≤2V_{p-p})

制御電源電圧低下保護動作シーケンス(N側, UV_D)

- a1. 制御電源電圧立上り…… UV_{Dr} にて次のオン信号(L→H)入力より動作開始
(各相への入力で相ごとに通常状態に復帰します)
- a2. 正常動作=IGBT オン=出力電流あり
- a3. 制御電源電圧低下 (UV_{Dt})
- a4. N側全相の IGBT オフ……制御入力の状態に関わらずオフ
- a5. F_o 出力(C_{Fo} で設定された F_o パルス幅以上、制御電源電圧が復帰するまでの間 F_o 出力)
- a6. 制御電源電圧復帰 (UV_{Dr})
- a7. 正常動作=IGBT オン=出力電流あり

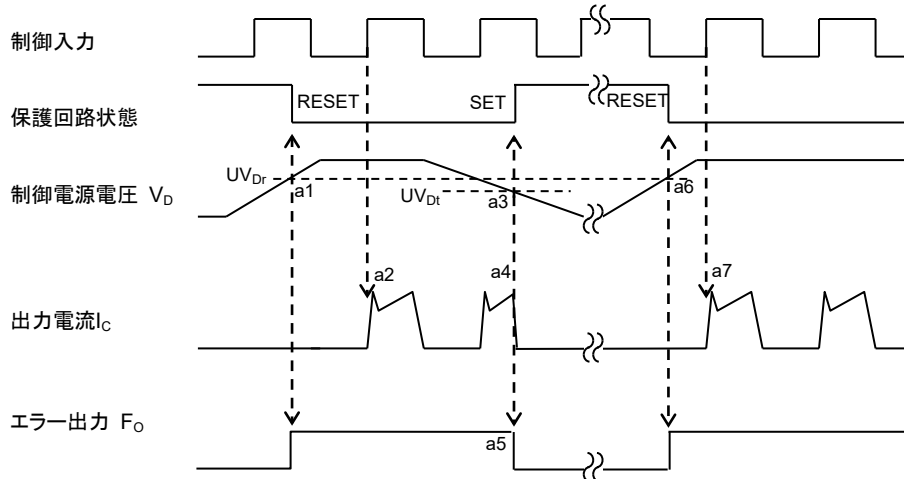


図 2-2-4 制御電源電圧低下保護(N側)動作シーケンス

制御電源電圧低下保護動作シーケンス(P側, UV_{DB})

- a1. 制御電源電圧立上り…… UV_{DBr} にて次のオン信号(L→H)入力より動作開始
- a2. 正常動作=IGBT オン=出力電流あり
- a3. 制御電源電圧低下 (UV_{DBt})
- a4. 該当相の P側 IGBT のみオフ……制御入力に関わらずオフ、 F_o 出力はなし
- a5. 制御電源電圧復帰 (UV_{DBr})
- a6. 正常動作=IGBT オン=出力電流あり

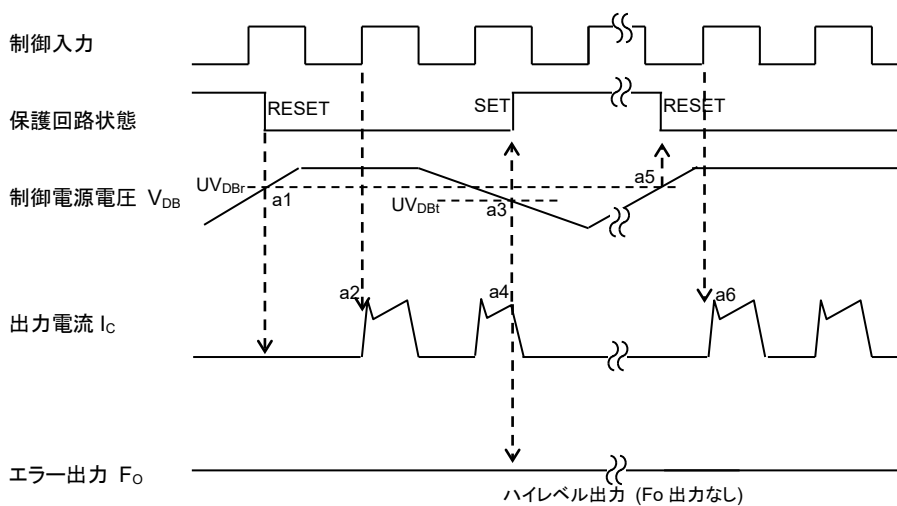


図 2-2-5 制御電源電圧低下保護(P側)動作シーケンス

2. 2. 3 温度出力機能 V_{OT}

(1) 温度出力機能の使用方法

本温度出力機能は、制御 IC(LVIC)部に温度検出素子を配置し、LVIC 部の温度を検出し出力しています。

そのため、IGBT、FWDi などパワーチップの発熱は、外部ヒートシンク、モールド樹脂を介して伝わりますので、モータロックや短絡などパワーチップの急激な温度上昇には、LVIC の温度上昇は追従できません。

本機能は、放熱用のファンの停止など放熱系の故障などによる温度上昇や重負荷継続時の出力制限といった、従来の外付けヒートシンクなどに取り付けられていたサーミスタと同様な方法での使用を推奨いたします。

(DIPIPM 自身では、保護をいたしませんので温度出力をモニタし、保護が必要な場合は、外部コントローラにてシステムの停止等、保護動作の実施が必要です。)

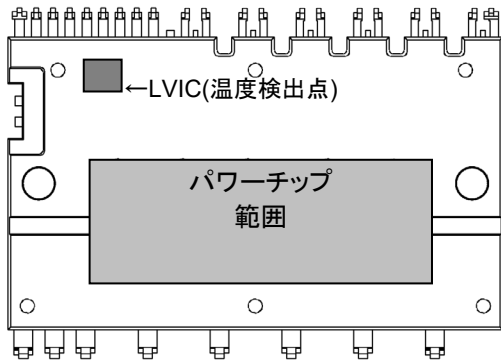
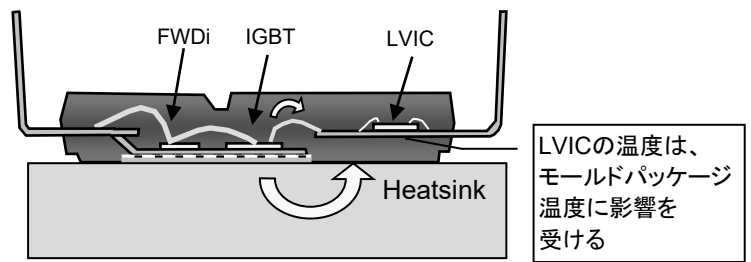


図 2-2-6 V_{OT} 温度検出点



LVIC の温度は、モールドパッケージ温度に影響を受ける

図 2-2-7 LVIC への温度の伝達経路

(2) 温度出力端子(V_{OT} 端子)仕様

V_{OT} 端子の出力能力を表 2-2-6 に示します。 V_{OT} 出力は、図 2-2-8 に示しますように温度検出素子の出力を OP アンプで増幅して、 V_{OT} 端子に出力する構成としています。その出力特性は、図 2-2-12 に示しますように、温度に対し線形変化いたします。本出力の使用上の注意点を以下に記します。

表 2-2-6: 出力電流定格

	min.
ソース電流能力	1.7mA
シンク電流能力	0.1mA

*) ソース電流: V_{OT} 端子から流し出す電流
シンク電流: V_{OT} 端子に引き込む電流

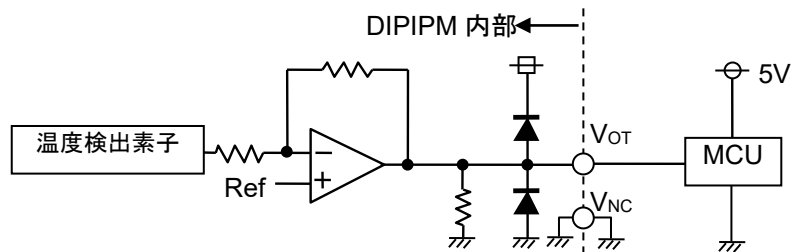


図 2-2-8 LVIC V_{OT} 端子部回路図

- 室温以下時の V_{OT} 出力について

室温より低い温度時において、出力の線形性が必要な場合、 $V_{OT}-V_{NC}$ (=コントローラ GND)間に 5.1k Ω のプルダウン抵抗の設置を推奨いたします。プルダウン抵抗を設置される場合は、 V_{OT} 出力電圧 ÷ 抵抗値程度の電流が、LVIC の消費電流として常時余分に流れることとなります。過熱保護のためだけに本出力を使用し、室温以下の出力が不要な場合、プルダウン抵抗は接続不要です。

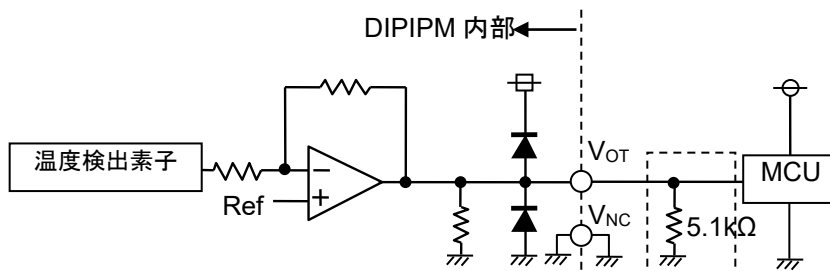


図 2-2-9 LVIC V_{OT} 端子部回路図 (室温以下出力使用時)

下図に示す VOT 出力特性はシステムにて過熱保護を設定する際の参考データとしてお取り扱いください。なおスベックにて規定する LVIC 温度以外の特性は設計値です。

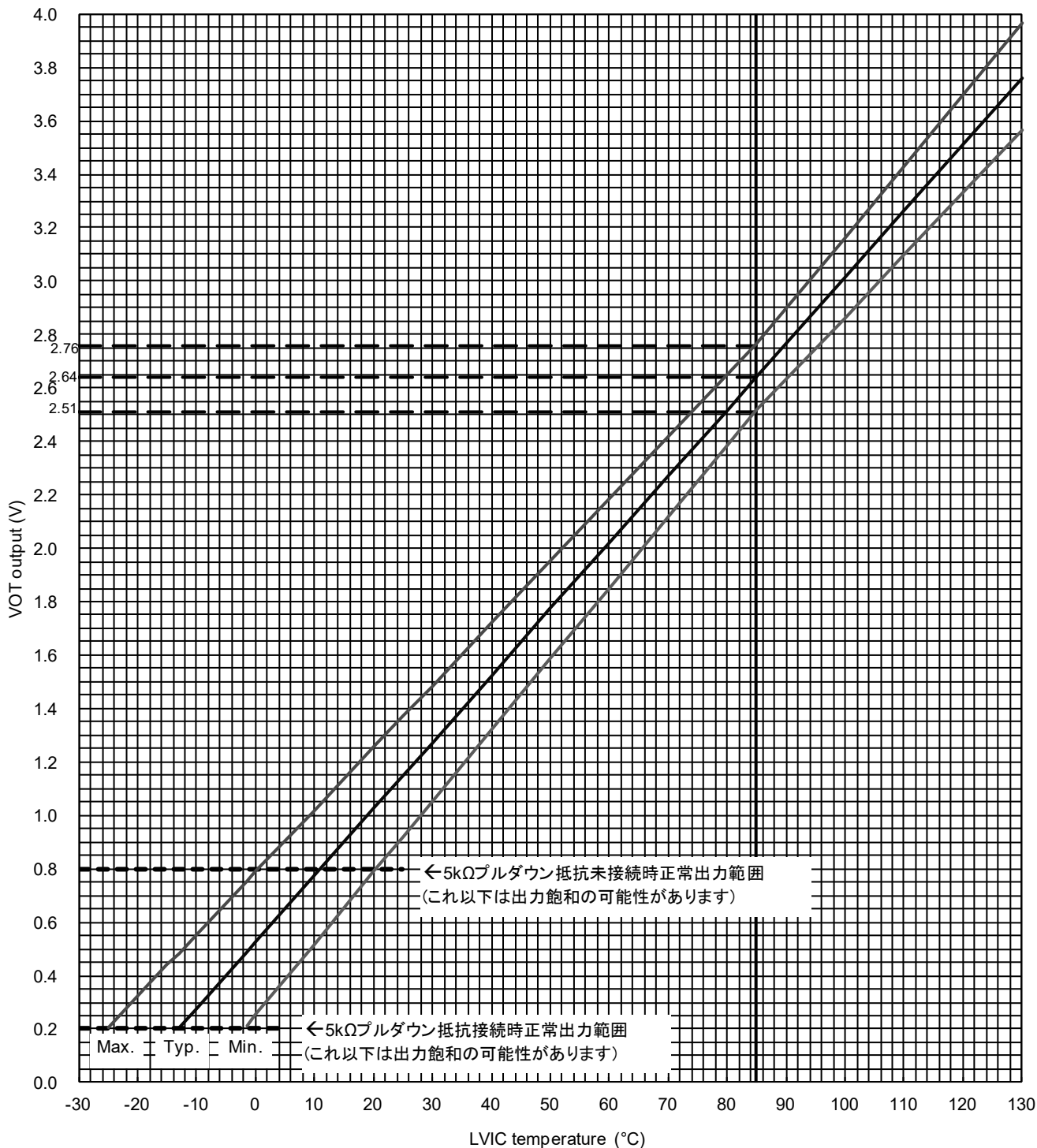


図 2-2-10 LVIC 温度-V_{OT} 出力電圧関係

(3) 温度出力の使用方法

上述のとおり、パワーチップの発熱は、外部ヒートシンクなどを介してLVIC に伝わりますので、温度出力される LVIC 温度 (Tic) とパワーチップ接合温度 (Tj)、チップ直下のケース温度 (Tc) の関係は、外部ヒートシンク、放熱条件、制御方法によって異なります。

PSS**S72FT の例として図 2-2-11 に下表 2-2-7 の放熱ヒートシンクを使用した場合の IGBT 損失と各温度の関係を示します。この関係は放熱条件により変わりますので、本温度出力を使用した温度保護設計するためには、パワーチップ接合温度 (Tj)、LVIC 温度 (アナログ温度出力: Tic)、ケース温度 (Tc) の関係を実システム (放熱系) で評価して求めたうえで、温度保護設定値 (Tj=150°C 以下となる範囲) を検討する必要があります。

表 2-2-7: 放熱ヒートシンク

ヒートシンクサイズ (W x D x H)
200 x 85 x 40 mm

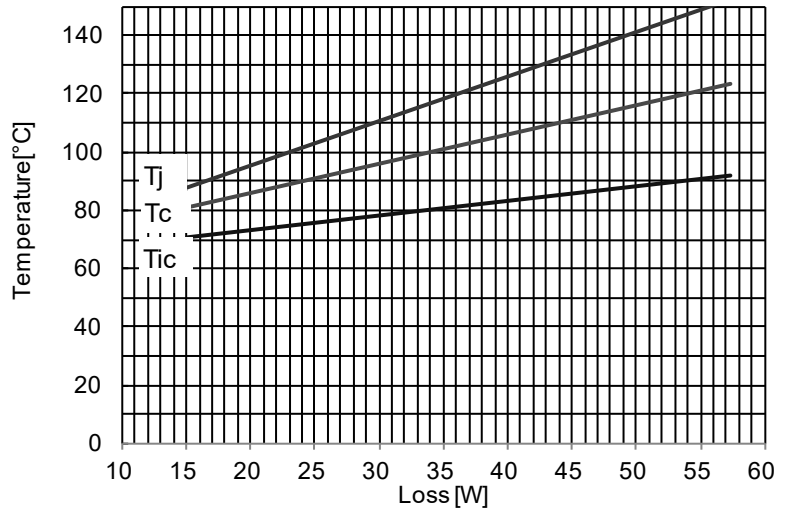
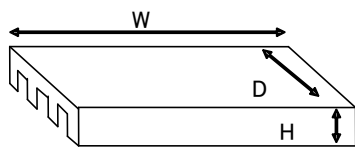


図 2-2-11 IGBT 1 素子 DC 通電時の IGBT 損失-Tj、Tic、Tc の関係例 (Ta=25°C)

ここでは、図 2-2-12 (次ページに記載) を用いた温度保護設定手順例を表 2-2-8 に示します。

表 2-2-8 温度保護設定手順例

	手順	設定値/確認値
1)	設定保護温度の設定	Tj= 135°Cとする。
2)	Tj-Tic 相関グラフ (図 2-2-12) より保護をかける LVIC 温度を求める。	Tic=85°C (@Tj=135°C)
3)	V _{OT} 出力特性より 2) で求めた Tic の時の V _{OT} 出力電圧を図 2-2-13 から求める	V _{OT} =2.64V (@Tic=85°C) を保護設定値とする。

上記手順より、V_{OT}=2.64V をしきい値として保護をかければよいことになります。ただし、V_{OT} 出力にはばらつきがあるため、そのばらつきによる保護温度範囲がどうなるかの確認 (Tj=150°C 以下であるか) が必要です。確認の手順を表 2-2-9 に示します。

表 2-2-9 温度保護範囲確認手順例

	手順	設定値/確認値
4)	3) で求めた V _{OT} 時の Tic の温度バラツキ範囲を図 2-2-13 で確認する。	Tic=80°C~90°C (@V _{OT} =2.64V)
5)	4) で求めた Tic の範囲から図 2-2-12 にて接合温度 Tj の保護温度のバラツキを確認する。	Tj=117°C~147°C (←Tj=150°C 以下で問題なし) このときのケース温度は Tc=100°C~120°C となります。

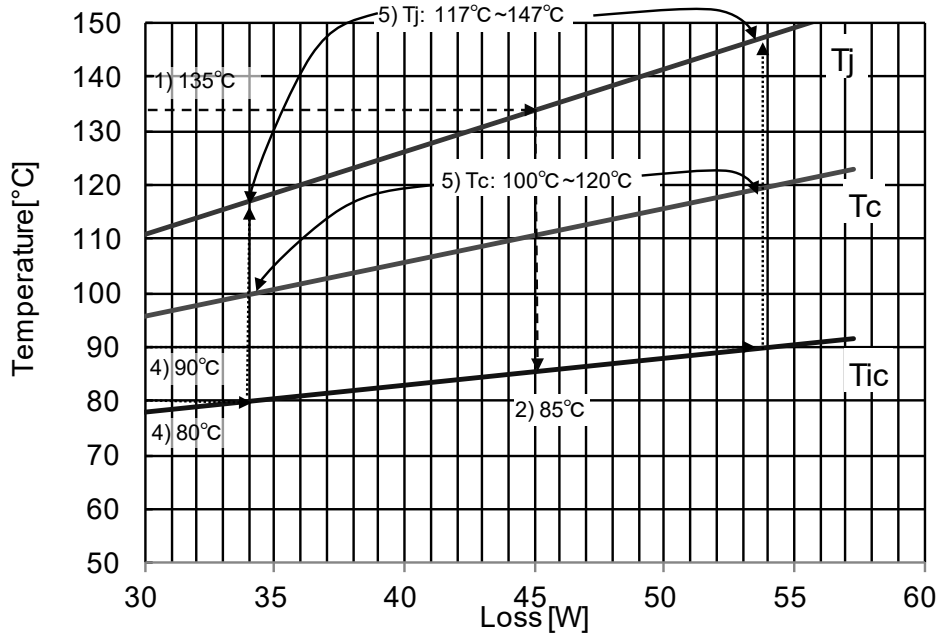


図 2-2-12 Tj,Tic,Tc 相関 (図 2-2-11 の拡大図)

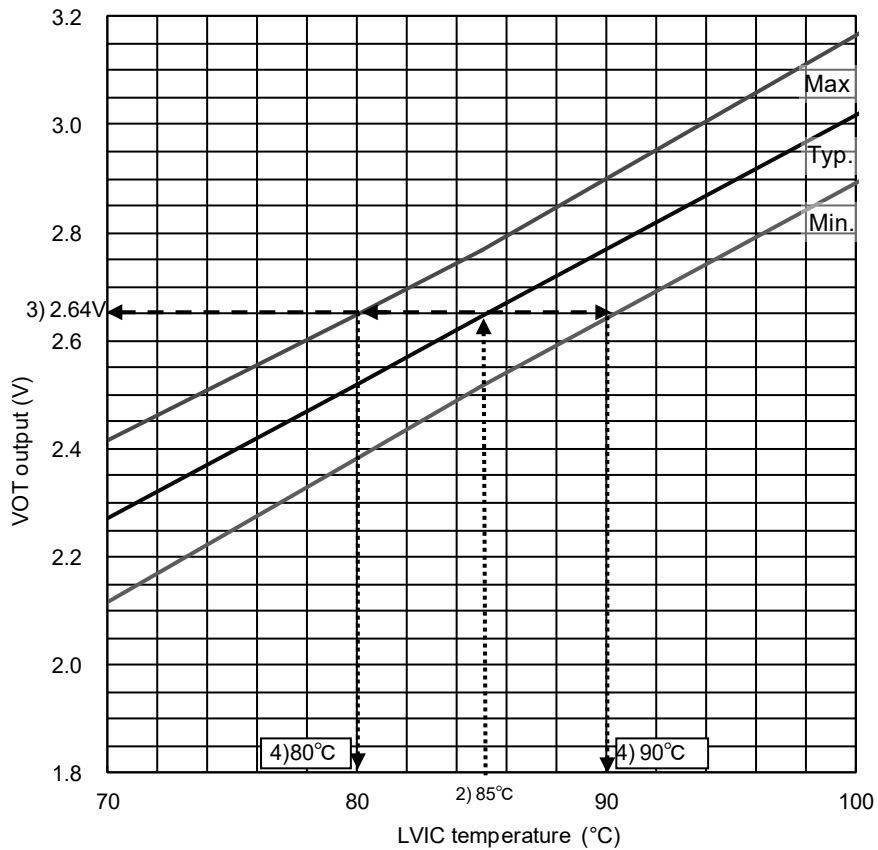


図 2-2-13 VOT 出力電圧-LVIC 温度関係 (図 2-2-10 の拡大図)

パワーチップ接合温度、ケース温度、LVIC 温度の関係は放熱条件、制御方法などによって変化いたします。相関データ取得のための VOT 出力特性データ付サンプルをご提供可能ですので、実機動作時の接合温度(損失から計算で求める)、ケース温度(ヒートシンクに取り付けた熱電対などで測定)、LVIC 温度(アナログ温度出力)の関係を取得し、保護温度の設定値をご検討ください。

2.3 DIIPM のパッケージ

2.3.1 外形図

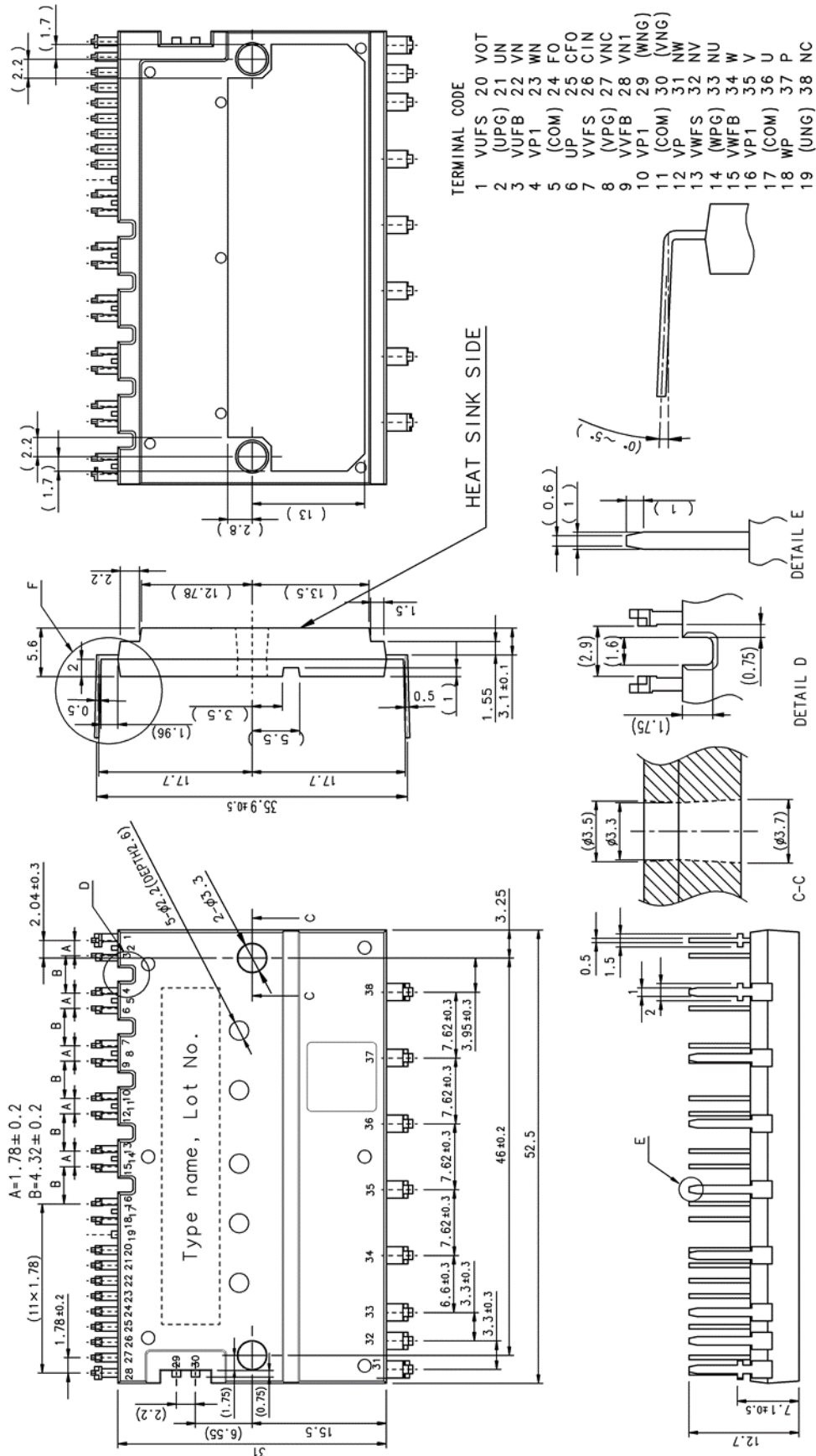


図 2-3-1 PSSxxS72FT 外形図 (単位:mm)

2.3.2 マーキング

図2-3-2にPSSxxS72FTのレーザーマーキング範囲を示します。

社名、原産国、形名、ロット番号、2Dコードは、モジュール上部(放熱面の反対側)にマーキングされます。

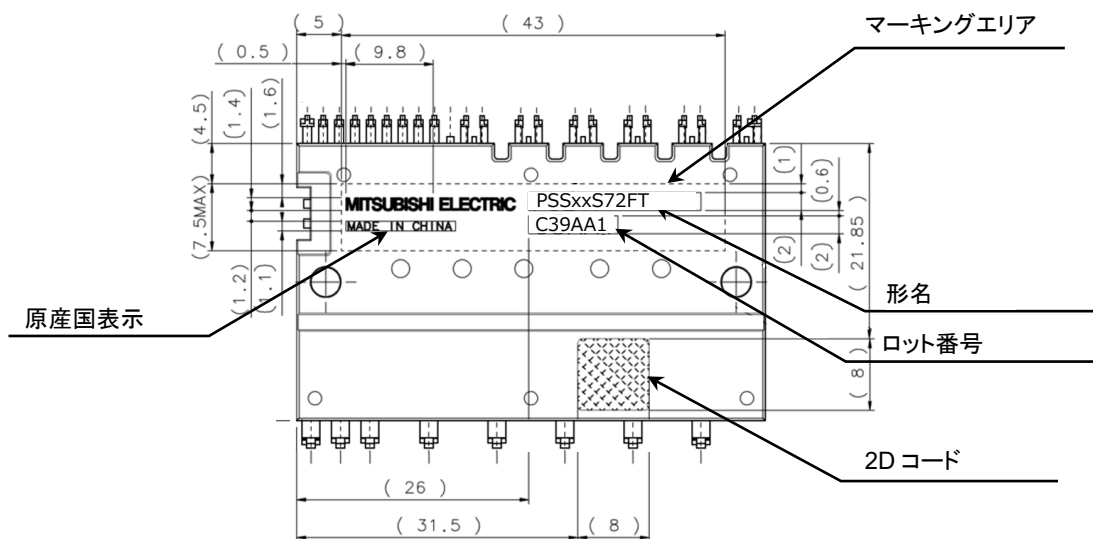


図 2-3-2 マーキング図 PSSxxS72FT (単位:mm)

ロット番号は、製造年・月、ランニング番号及び生産国を示します。詳細は以下のとおりです。

(例)

C39AA1

- ランニング番号
- 生産月 (ただし、O: 10月 N: 11月 D: 12月)
- 生産年の末桁 (例. 2013年の場合3)
- 生産場所・工場別識別記号
- 無し : 日本生産品
- C : 中国生産品
- H : 中国生産品

2. 3. 3 端子配列と名称

表 2-3-1 端子説明 (PSSxxS72FT)

No.	端子名	端子説明
1	V _{UFS}	UP 相駆動電源 GND 端子
2	(UPG)	ダミーピン
3	V _{UFB}	UP 相駆動電源端子
4	V _{P1}	UP 相制御電源端子(+)
5	(COM)	ダミーピン
6	U _P	UP 相制御入力信号端子
7	V _{VFS}	VP 相駆動電源 GND 端子
8	(VPG)	ダミーピン
9	V _{VFB}	VP 相駆動電源端子
10	V _{P1}	VP 相制御電源端子(+)
11	(COM)	ダミーピン
12	V _P	VP 相制御入力信号端子
13	V _{WFS}	WP 相駆動電源 GND 端子
14	(WPG)	ダミーピン
15	V _{WFB}	WP 相駆動電源端子
16	V _{P1}	WP 相制御電源端子(+)
17	(COM)	ダミーピン
18	W _P	WP 相制御入力信号端子
19	(UNG)	ダミーピン
20	V _{OT}	温度出力端子
21	U _N	UN相制御入力信号端子
22	V _N	VN相制御入力信号端子
23	W _N	WN相制御入力信号端子
24	F _O	エラー出力端子
25	CFO	エラー出力パルス幅設定端子
26	CIN	短絡トリップ電圧検出端子
27	V _{NC}	N 側制御電源 GND 端子
28	V _{N1}	N 側制御電源端子(+)
29	(WNG)	ダミーピン
30	(VNG)	ダミーピン
31	NW	W 相出力 GND(エミッタ)端子
32	NV	V 相出力 GND(エミッタ)端子
33	NU	U 相出力 GND(エミッタ)端子
34	W	W 相出力端子
35	V	V 相出力端子
36	U	U 相出力端子
37	P	インバータ電源端子
38	NC	NC(No Connection)

注 1) ダミーピンは、内部ゲートなどの電位をもっていますので、パターンや他の端子等と接続しないでください。

1200V 小型 DIPIPM シリーズ アプリケーションノート

表 2-3-2 DIPIPM の入出力端子構造

項目	記号	内容
P 側駆動電源端子 P 側駆動電源 GND 端子	V _{UFB-} V _{UFS} V _{VFB-} V _{VFS} V _{WFB-} V _{WFS}	<ul style="list-style-type: none"> ・P 側 IGBT 駆動用電源端子です。 ・ブートストラップコンデンサを外付けすることにより外部電源を代替できます。ブートストラップコンデンサは、V_D から N 側 IGBT のスイッチンググループによって充電されます。 ・V_{DB} が安定していないと誤動作の原因となります。ブートストラップコンデンサと並列に、周波数及び温度特性の良いパスコン(～2μF 程度)の接続を推奨します。 ・制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。
P 側制御電源端子 N 側制御電源端子	V _{P1} V _{N1}	<ul style="list-style-type: none"> ・内蔵 IC の制御側電源端子です。(LVIC と HVIC)。 ・V_{P1}, V_{N1} は外部基板上で接続してください。 ・ノイズと電源リップルによる誤動作を抑えるために周波数特性の良い平滑コンデンサを制御端子近傍に接続ください。また、周波数及び温度特性の良いパスコン(～2μF 程度)の接続を推奨します。 ・電圧リップルは規格内にはいるように設計ください。 ・制御電源へのサージ電圧吸収用にツェナダイオード(ツェナ電圧 24V、電力損失 1W 程度)を端子近傍に接続することをお奨めします。
制御電源 GND 端子	V _{NC}	<ul style="list-style-type: none"> ・内蔵 IC の制御側グラウンド端子です。(LVIC と HVIC) ・入力、Fo 出力など制御の基準電位となるのでノイズの影響を避けるため、制御 GND 配線に母線電流が流れないようにしてください。(パワー GND と共通インピーダンスを持たないように分けて配線する)
制御入力端子	U _P , V _P , W _P U _N , V _N , W _N	<ul style="list-style-type: none"> ・スイッチング制御する入力端子です。内部で Min.3.3kΩ でプルダウンされています。 ・電圧駆動タイプです。内部は CMOS 構成のシュミットトリガ回路に接続しています。 ・ノイズに敏感ですので、パターンは最短とし、かつ配線に注意してください。ノイズなどが重畳している場合は、RC フィルタを接続してください。RC フィルタを追加する場合、内部のプルダウン抵抗との分圧になりますのでご注意ください。
短絡トリップ 電圧検出端子	CIN	<ul style="list-style-type: none"> ・短絡時に電流検出用シャント抵抗で発生した電位を RC フィルタを通して、この端子に入力し短絡保護を行います。 ・RC フィルタ時定数は 2μs 以下を推奨します。
エラー出力端子	Fo	<ul style="list-style-type: none"> ・DIPIPM の異常状態(N 側の SC, UV 保護動作時)を示す出力です。 ・オーブドレイン出力です。Fo 出力時ののシンク電流を 1mA 以下にする必要があります。外部で 5V 系電源に 5kΩ 以上(推奨 10kΩ)の抵抗でプルアップしてください。
エラー出力パルス幅 設定端子 (コンデンサ接続)	CFo	<ul style="list-style-type: none"> ・エラー出力パルス幅を設定する端子です。 ・この端子と V_{NC} 間にコンデンサを挿入し、エラー出力時間幅を設定します。 ・コンデンサ容量 22nF であればエラー出力時間幅 typ 値 2.4ms となります。 ・必要な Fo パルス幅に対するコンデンサ容量値の計算式は以下のとおりです。 C_{Fo} = 9.1 × 10⁻⁶ × t_{Fo}
温度出力端子	V _{OT}	<ul style="list-style-type: none"> ・LVIC 温度をアナログ信号で出力する端子です。 ・内部はオペアンプの出力となっています。 ・室温より低い温度時において、出力の線形性が必要な場合、V_{OT}-V_{NC}(=コントローラ GND)間に 5.1kΩ のプルダウン抵抗の設置を推奨いたします。
インバータ 電源端子	P	<ul style="list-style-type: none"> ・インバータの電源端子です。P 側 IGBT のコレクタに接続されています。 ・パターンのインダクタンス成分によるサージ電圧を抑制するため、平滑コンデンサを P, N 両端子の直近に配置してください。また、周波数特性に優れたフィルムコンデンサ(スナバ)の追加も効果的です。
インバータ GND 端子	NU, NV, NW	<ul style="list-style-type: none"> ・インバータのグラウンドです。 ・NU に U 相、NV に V 相、NW に W 相の N 側 IGBT のエミッタが接続されています。
インバータ出力端子	U, V, W	<ul style="list-style-type: none"> ・インバータ出力用の端子です。 ・モーターなどの負荷を接続します。内部はハーフブリッジで構成された出力 IGBT の中点に接続されています。

※ スwitching動作時の DIPIPM 制御電源端子、P-N 間電圧のサージ電圧や、入力端子のノイズをオシロスコープなどで確認してください。その際、オシロスコープの時間軸は 1μs/div 以下での確認が必要です。
 定格を超えるサージや入力しきい値を越えるようなノイズが重畳しているようであれば、対策(配線見直し、コンデンサの位置、容量の見直し、ツェナ Di の搭載、フィルタの強化など)をご検討ください。

1200V 小型 DIIPM シリーズ アプリケーションノート

2. 4 DIIPM の取り付け方法

DIIPM の絶縁距離および DIIPM を放熱ヒートシンクに取り付ける場合の注意点を示します。

2. 4. 1 DIIPM の絶縁距離

DIIPM の各空間、沿面距離を表 2-4-1 に示します。

表 2-4-1 PSSxxS72FT の絶縁距離 (min 値)

空間距離(mm)		沿面距離(mm)	
パワー端子間	4.0	パワー端子間	4.0
制御端子間	2.5	制御端子間	6.0
対アース間(端子-放熱ヒートシンク間)	3.0	対アース間(端子-放熱ヒートシンク間)	4.0

2. 4. 2 DIIPM の取り付け方法と注意点

モジュールをヒートシンクなどに取り付ける際、過剰なトルクでの締め付けや、片締めを行うと、パッケージに応力が加わりモジュール内パワー素子などのチップまたは、パッケージ破壊(絶縁劣化)を招くことになります。推奨する締め付け順序例を図 2-4-1 に示します。締め付け時にはトルクドライバーを使用し、所定のトルクで締めつけてください。また、DIIPM の放熱面とヒートシンク表面に、異物が混入しないようにしてください。正常な取り付け手順を設定した場合でも突発的な過度の締め付けや異物の混入などによるパッケージへのダメージ印加の可能性もあり得ますので、安全性の確保の観点から DIIPM 取り付け後の製品でも絶縁検査等の確認作業の実施を推奨いたします。

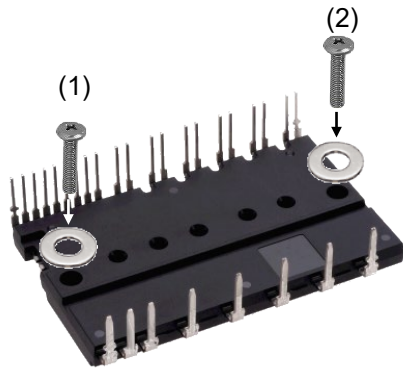


図2-4-1 推奨締め付け手順

仮締め
(1)→(2)
本締め
(1)→(2)

Note: 仮締めの締め付けトルクは、推奨トルクの最大値の 20~30%を目安に設定してください。
また、交互に締め付けるのであれば順序はどちらが先でも問題ありません。(2)→(1)の順序でも可です

表 2-4-2 締付トルク強度とヒートシンク平面度の規格

項目	条件	最小値	標準値	最大値	単位
締付トルク強度	取り付けネジ:M3 ^φ	0.59	0.78	0.98	N·m
放熱面平面度	図 2-4-3 を参照	-50	—	+100	μm

*)取り付けねじには平座金(推奨:JIS B1256)を使用してください。

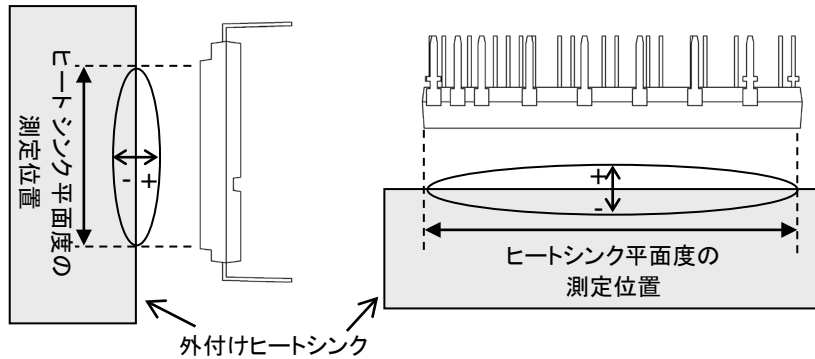


図 2-4-2 外付けヒートシンクの平面度測定位置(PSSxxS72FT)

放熱効果を最大限に得るためには、その接触面積をできるだけ大きくし接触熱抵抗を最小にする必要があります。ヒートシンクの平面度(反り/凹凸)は、DIIPM 取り付け面において、図 2-4-2 のとおりとし、表面仕上げ Rz12 以内を推奨します。また、DIIPM の放熱面とヒートシンクとの接触面には熱伝導性の良いグリースを 100μm~200μm 程度、均一になるように塗布してください。ヒートシンクとの接触面にグリースを塗布しますと接触部の腐食防止にも役立ちます。ただし、塗布するグリースは、使用動作温度範囲内で変質せず、経年変化のないものをご使用ください。製品放熱面-ヒートシンク間の熱抵抗は、締め付けた状態におけるグリースの厚さ、グリースの熱伝導率等により異なります。目安として、グリース厚 20μm、グリースの熱伝導率 1.0W/m·K 時の製品放熱面-フィン間熱抵抗値(1/6 モジュール)は、0.3°C/W となります。グリース塗布、ヒートシンク取り付け時には、空気を巻き込まないように十分なじませてください。(接触熱抵抗の増加、締め付けの緩みにつながる可能性があります)

2. 4. 3 はんだ付け条件

DIIPM 基板実装時のはんだ付け条件を下記します。(リフローはんだ付けには、対応いたしません。)

(1) フローはんだ条件

フローはんだの条件につきましては、はんだ槽温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 以下、浸漬時間 10 ± 1 秒以内であれば、当社信頼性試験条件(表 2-4-3) 以下であり問題ないものと考えます。また、予備加熱につきましては、DIIPM の保存温度定格の 125°C 以下での実施を推奨します。

フローはんだ付けでは、はんだ噴流の状態、コンベア速度、基板のランド、スルーホール形状などによって条件が変化いたします。最終的には実際の基板を使用し、現品で問題ないことをご確認願います。

表 2-4-3 信頼性試験条件

信頼性項目	試験条件
はんだ耐熱性	はんだ温度 $260^{\circ}\text{C} \pm 5^{\circ}\text{C}$ 、 10 ± 1 秒

(2) 手はんだ条件

はんだごてなどによる手はんだ付け条件につきましては、はんだごての種類(ワット数含む)や基板上の配線パターンにより変わりますので、一般的な推奨条件は提示しておりません。

はんだごてによるはんだ付け時の温度は、DIIPM のトランスファーモールド樹脂の Tg(ガラス転位温度)やチップ耐熱温度を考慮して、リード端子根元部で 150°C 以下にすることを推奨しています。

はんだ付け条件を設定する場合には、ご使用のはんだごて、基板にて DIIPM の端子根元温度、はんだぬれ性などを十分ご確認のうえ、設定願います。(はんだ付け時間は極力短時間としてください)

また、はんだごて使用時の一般的な注意点として、半導体用のはんだごて(12~24Vの低電圧仕様)を用いて、こて先はアースして使用願います。温度管理のために、温度調整機能付きのはんだごてが有効です。

以下に端子根元の温度上昇例として、50W はんだごてにより模擬評価した結果を図 2-4-6 に示します。

[評価方法]

(1) 評価サンプル: PSSxxS72FT

(2) 評価手順

- ・熱容量的に小さい制御側外部リード端子先端(先端から 1mm)の箇所にはんだごて(50W)をあて、リード端子根元の温度上昇を測定する。(図 2-4-5)
- ・温度測定は、リード端子根元に熱電対(T線)を取り付けて測定。
- ・はんだごての温度設定は、 400°C にて実施。

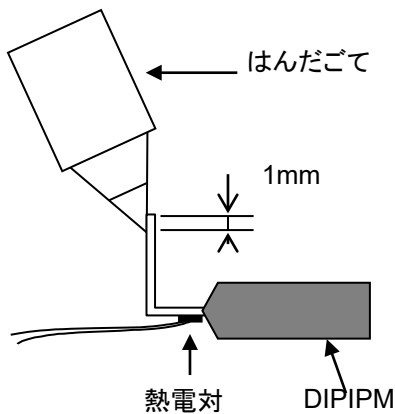


図 2-4-3 評価状態

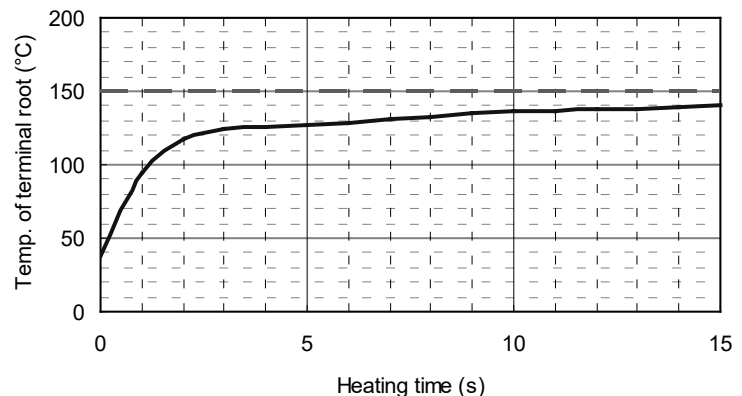


図 2-4-4 端子にはんだごてをあてたときの端子根元温度推移(代表例)

第3章 DIIPM の使用方法

3.1 DIIPM の使用方法と応用

この章では、DIIPM の使用方法、周辺回路例について説明します。

3.1.1 システム接続例

C1:温度・周波数特性に優れた電解コンデンサ

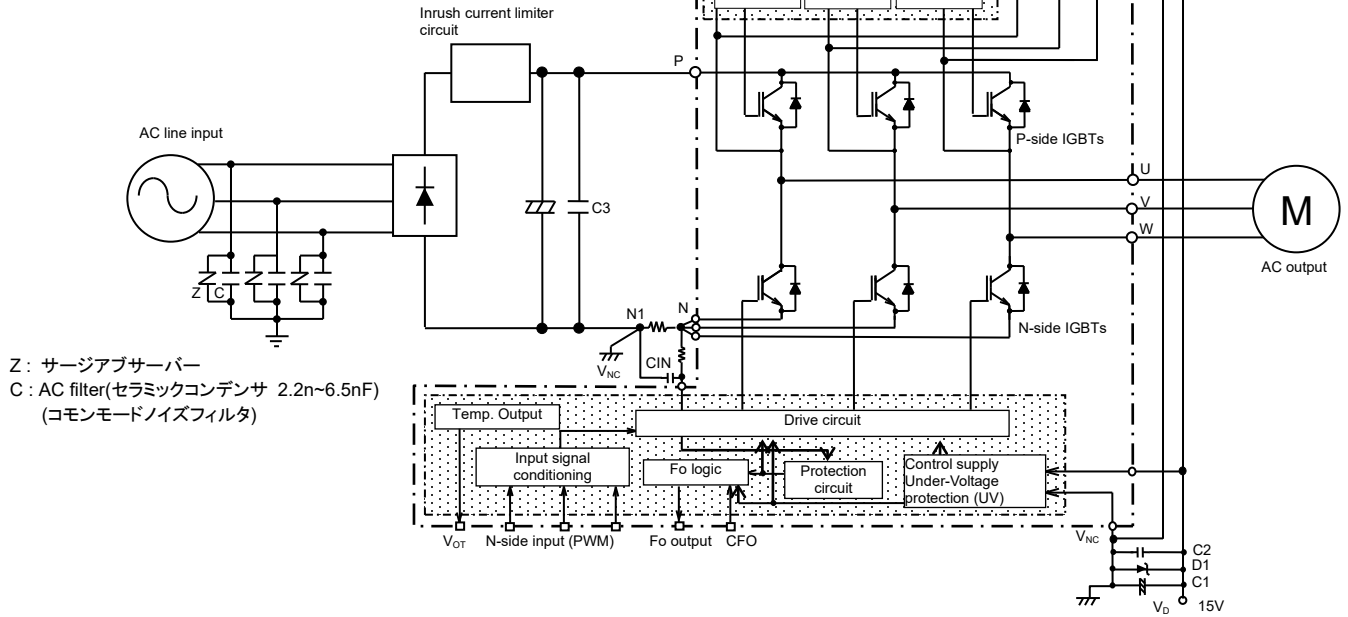
注)容量値は PWM 制御入力方式によって変わります。

C2:バイパスコンデンサ 0.22~2 μ F ノイズ除去用の温度、周波数、

DC バイアス特性に優れたセラミックコンデンサ(B, R 特性など。)

C3:スナバコンデンサ 0.1~0.22 μ F程度(フィルムコンデンサなど)

D1: サージ保護用ツェナダイオード24V/1W



Z: サージアブソーバー
C: AC filter(セラミックコンデンサ 2.2n~6.5nF)
(コモンモードノイズフィルタ)

図 3-1-1 システム接続例

1200V 小型 DIPIPM シリーズ アプリケーションノート

3. 1. 2 インターフェイス回路例 (直接入力時、N 側エミッタ共通配線時)

マイコン(MCU)や DSP など、DIPIPM を直接接続する場合のインターフェイス回路例を示します。

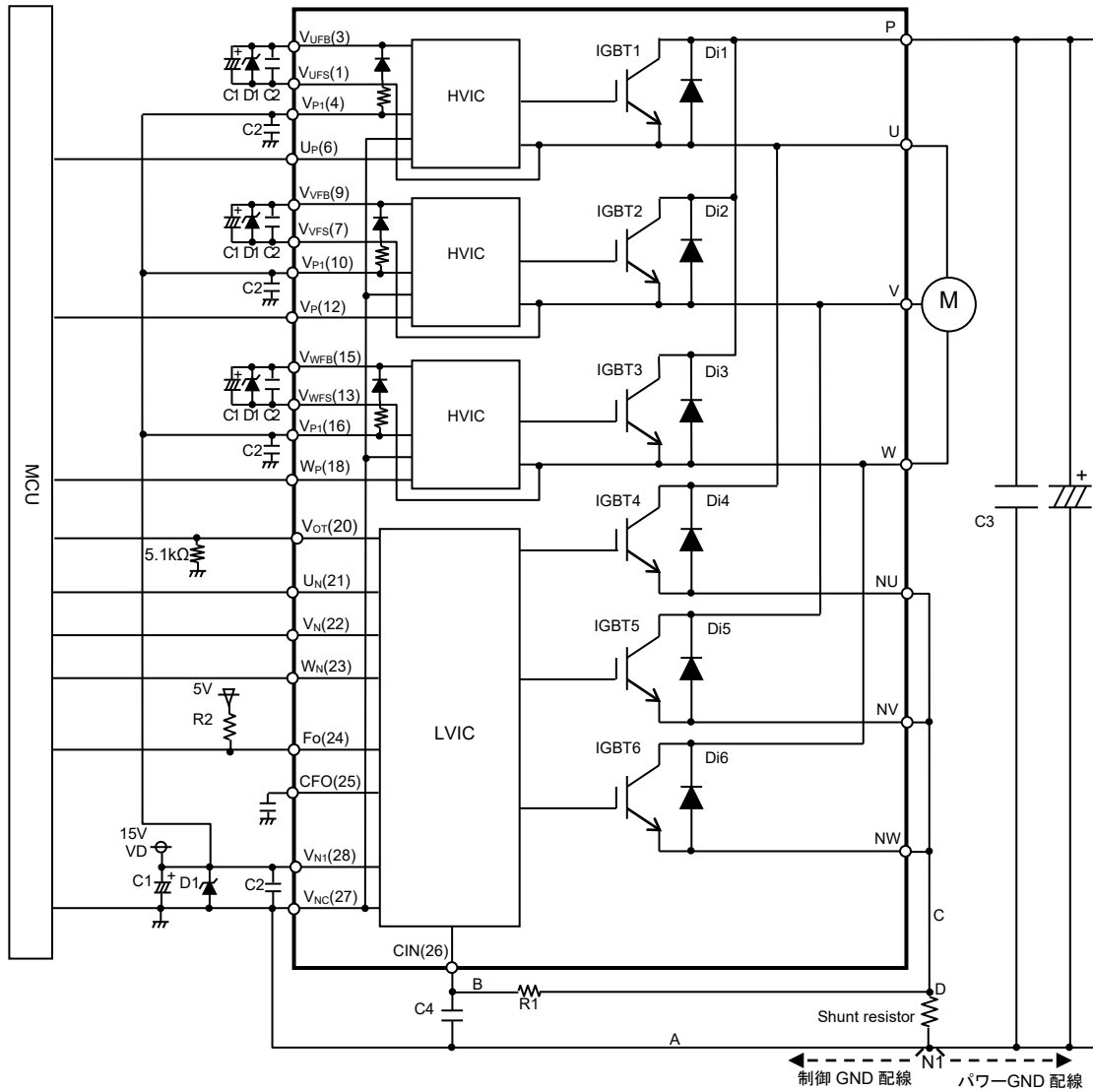


図 3-1-2 インターフェイス回路例(直接接続)

- (1) 制御側電源GNDとパワー側GNDの配線を共通のベタ配線で配線すると大電流が流れるパワー-GNDの変動の影響を受け誤動作の可能性がありますので、制御側電源GNDとパワー側GNDの配線は分けて配線し、N1点(シャント抵抗の端子部)にて一点接続としてください。
- (2) 制御電源へのサージ電圧吸収用にツェナダイオードD1(ツェナ電圧24V、許容損失1W程度)を制御電源端子間近傍への接続を推奨します。
- (3) サージ電圧による過電圧破壊を防止するために、平滑コンデンサとP、N1端子間の配線はできるだけ短くしてください。またP-N1端子間に0.1 μ F~0.22 μ F程度のスナバコンデンサC3を挿入してください。
- (4) 短絡保護の誤動作防止用RCフィルタ(R1C4)の時定数は、短絡時に2 μ s以下で遮断するように設定してください。(1.5~2 μ s以下推奨) また、R1、C4は温度補償用などバラツキの小さいものを推奨します。遮断時間は、配線パターンによって変わりますので十分評価してください。
- (5) A、B、Cの配線はIGBTの動作に大きな影響をあたえるため、配線はできるだけ短く配線してください。
- (6) 短絡保護の誤動作防止のため、CIN端子への配線はシャント抵抗端子部直近のD点で分岐しできるだけ短くしてください。NU、NV、NW端子相互の接続は端子近傍で実施してください。シャント抵抗には温度特性を含めばらつき \pm 1%以内で表面実装型など低インダクタンス品を推奨します。
- (7) 各コンデンサはDIPIPMの端子近傍に設置してください。C1は、温度特性、周波数特性が優れた電解コンデンサ、C2は0.22 μ F~2 μ Fでノイズ除去用の温度、周波数、DCバイアス特性に優れたセラミックコンデンサ(B、R特性など)を推奨します。
- (8) 入力信号はハイアクティブです。IC内部で3.3k Ω (min)の抵抗でプルダウンしています。誤動作防止のため、入力信号配線はできるだけ短く配線してください。誤動作防止のためRCフィルタを挿入する場合は、入力のしきい値電圧を満足するように設定してください。専用HVICを採用しているため、MCUIに直接接続することができます。(電気的絶縁とはなりません)
- (9) Fo端子はオープンドレインです。I_{Fo}=1mA以下となるような抵抗値でMCUの制御電源(5V、3.3Vなど)にプルアップしてご使用ください。(I_{Fo}=プルアップ電源電圧/プルアップ抵抗値で概算できます。5Vにプルアップする場合、5k Ω 以上、10k Ω を推奨します) カプラー使用時などは、15Vにもプルアップ可能です。
- (10) Fo出力のパルス幅は、CFO端子に接続するコンデンサで設定可能です。 $C_{Fo} = 9.1 \times 10^{-6} \times t_{FO}$
- (11) 制御ICの電源ラインに高周波の急峻なノイズが重畳されると、ICの誤動作が起きてFoを出力し、停止することがあります。制御電源ラインのノイズは、 $dV/dt \leq 1V/\mu s$ 、 $V_{ripples} \leq 2Vp-p$ となるように電源回路を設計してください。
- (12) DIPIPMでは、各相あるいは、個体間で並列接続して同一負荷を駆動するような使用方法は、推奨いたしません。

1200V 小型 DIIPM シリーズ アプリケーションノート

3. 1. 3 インターフェイス回路例 (フォトカプラ駆動)

フォトカプラを使用した場合の応用回路例を示します。

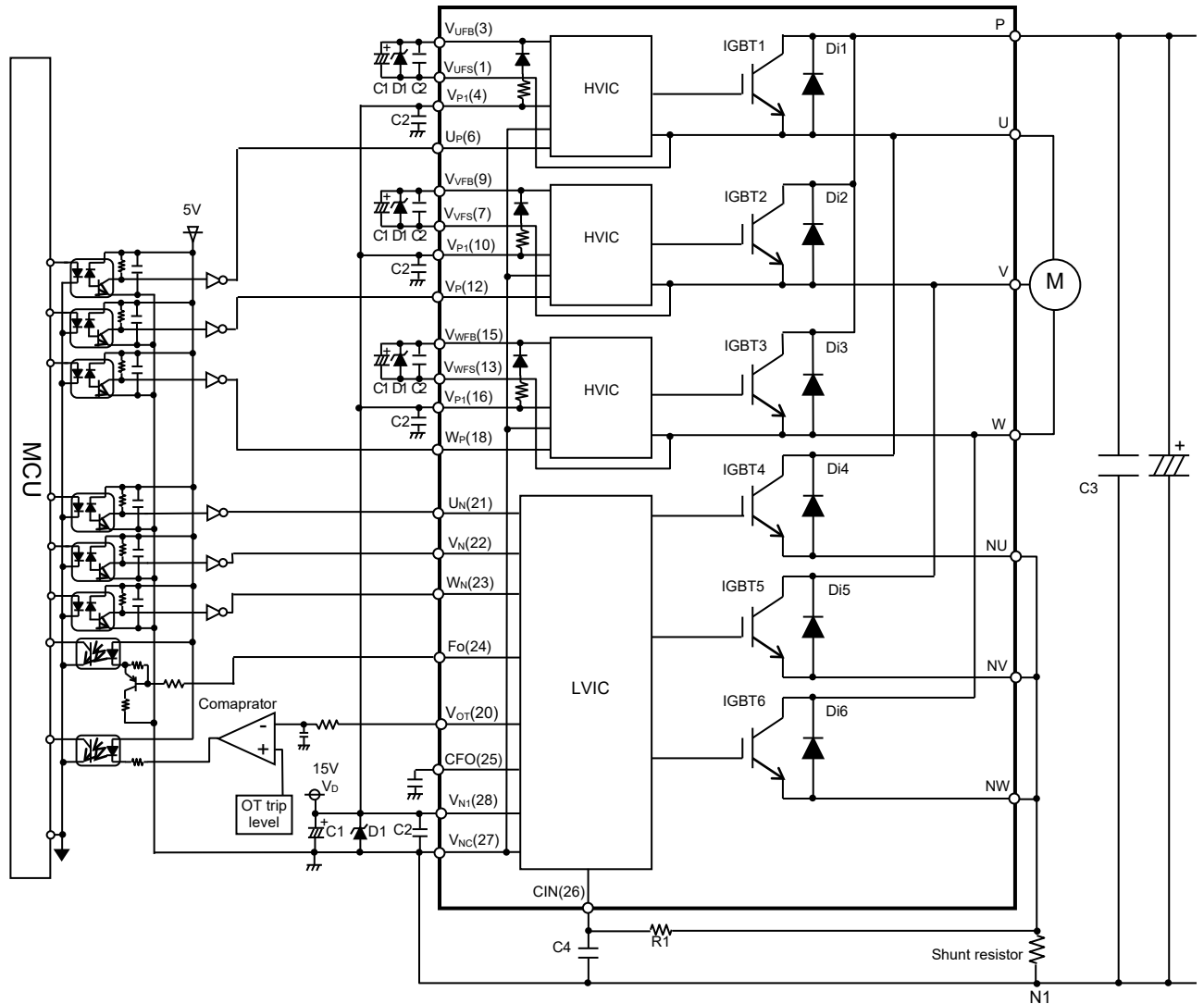


図 3-1-3 インターフェイス回路例 (フォトカプラ駆動)

注:

- (1) 高速フォトカプラ (高 CMR) の使用を推奨します。
- (2) F_O シンク電流 I_{FO} の最大定格は 1mA となります。フォトカプラを駆動するためにはバッファの挿入を推奨します。ノイズ等の印加による誤動作を防止するためカプラや、バッファトランジスタまでの F_O 配線は極力短くすることを推奨します。
- (3) V_{OT} 出力部のコンパレータ回路について、コンパレータ出力のチャタリングを防止するためヒステリシス付き入力回路を推奨します。

3. 1. 4 N 側エミッタ分割仕様(3 シャント)動作時の外部 SC 保護回路例

N 側エミッタ分割仕様(3 シャント)で使用の場合は、そのまま 3 相のシャント抵抗の電圧を CIN 端子に入力できませんので図 3-1-4 のような外部回路が必要となります。

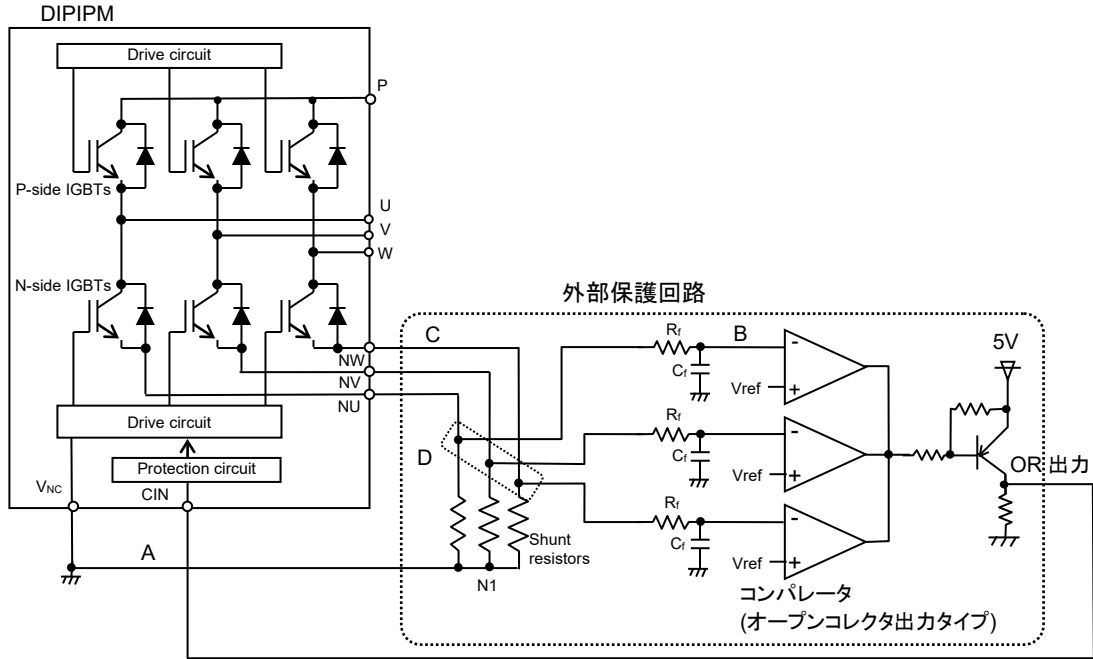


図 3-1-4 外部保護回路例

注:

- (1) 短絡保護の誤動作防止用RCフィルタ($R_i C_i$)の時定数は、短絡時に $2\mu\text{s}$ 以下で遮断できるように設定してください。(1.5~ $2\mu\text{s}$ 推奨) 遮断時間は、配線パターン、コンパレータの反応速度などにも依存します。
- (2) しきい値電圧 V_{ref} は、DIIPMの短絡トリップ電圧 $V_{\text{sc(ref)}}$ の規格値と同じにすることを推奨します。(typ.0.48V)
- (3) シャント抵抗値は、短絡保護トリップ電流値が規定の値(定格の1.7倍)以下となるように設定してください。
- (4) 誤動作防止のため、A、B、Cの配線は、可能な限り短くしてください。
- (5) コンパレータへの入力の配線は、シャント抵抗の端子部直近(D点)で分岐してください。
- (6) OR 出力の High レベル(保護時出力)は、CIN 端子の短絡トリップ電圧の最大値である 0.51V 以上となるように設定してください。
- (7) コンパレータ、Vref 生成回路の GND および C_f は、パワー-GND 配線ではなく制御 GND 配線に接続してください。

3. 1. 5 DIIPM の信号入力端子と Fo 端子

(1) 制御入力端子構造と接続例について

DIIPM の入力端子はハイアクティブ動作です。ローアクティブの製品と比べて、ハイアクティブ動作にすることで立上げ、立下げシーケンスに関して、フェイルセーフとなります。プルダウン抵抗 (min.3.3k Ω)を内蔵しており、外付けのプルダウン抵抗は不要となります。

図3-1-5に入力部ブロック図、表3-1-1に 入力しきい値電圧規格を示します。

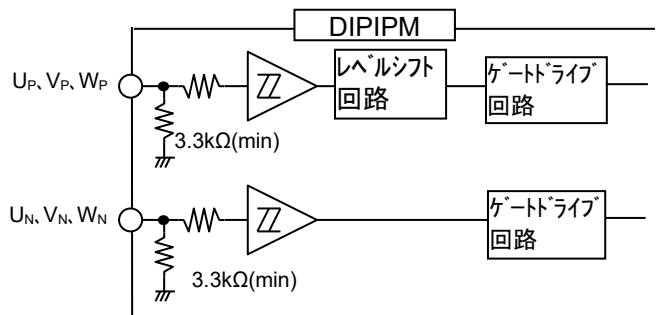
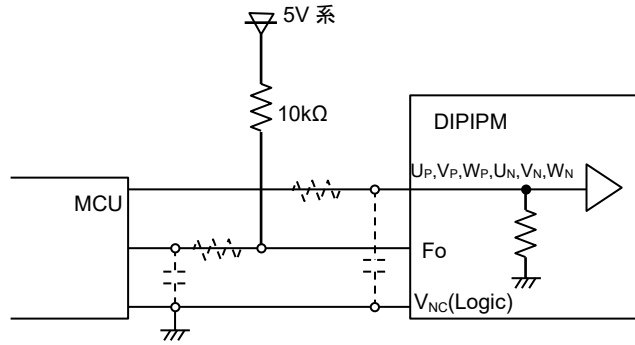


図 3-1-5 入力部ブロック図

表 3-1-1 入力しきい値の規格($V_D=15\text{V}$, $T_j=25^\circ\text{C}$)

項目	記号	条件	最小値	標準値	最大値	単位
入力オンしきい値電圧	$V_{\text{th(on)}}$	$U_P, V_P, W_P - V_{\text{NC}}$	—	—	3.5	V
入力オフしきい値電圧	$V_{\text{th(off)}}$	$U_N, V_N, W_N - V_{\text{NC}}$ 端子間	0.8	—	—	

信号配線は極力短く配線する必要がありますが、配線が長くノイズが重畳する場合は、図 3-1-6 の回路例のような対策を検討してください。また、DIIPM には、表 3-1-2 のように許容最小入力パルス幅の規定があります。この規定パルス幅より長いパルスを入力するようにしてください。



注) 入力の RC カップリングは、応用システムに使われる PWM 制御入力方式、入力配線パターンにより変わります。
DIIPM 入力信号部は IC 内部で 3.3kΩ(min)の抵抗プルダウンを行っています。入力信号ラインに抵抗を挿入される場合は、DIIPM の入力しきい値を満足する設定としてください。

図 3-1-6 入力端子接続例

表 3-1-2 許容最小入力パルス幅例 (詳細は各機種々のデータシートで確認ください)

項目	記号	条件	最小値	単位	
許容最小 入力パルス幅	PWIN(on)	—	2.0	μs	
	PWIN(off)	200 ≤ Vcc ≤ 350V 13.5 ≤ Vd ≤ 16.5V 13.0 ≤ Vdb ≤ 18.5V -20 ≤ Tc ≤ 100°C N ライン配線インダクタンス 10nH 以下	定格電流以下		2.5
			定格電流 ~ 定格電流 × 1.7		2.9

・PWIN(on)以下のパルス幅の入力オン信号には出力が応答しないことがあります。
・PWIN(off)以下のパルス幅の入力オフ信号には出力が応答しない、または P 側のみターンオン時間が大きくなる場合があります。ただし、この場合においても入力オンの状態にて出力オフの状態を維持し続けることはありません。詳細は下記のタイミング図を参照ください。

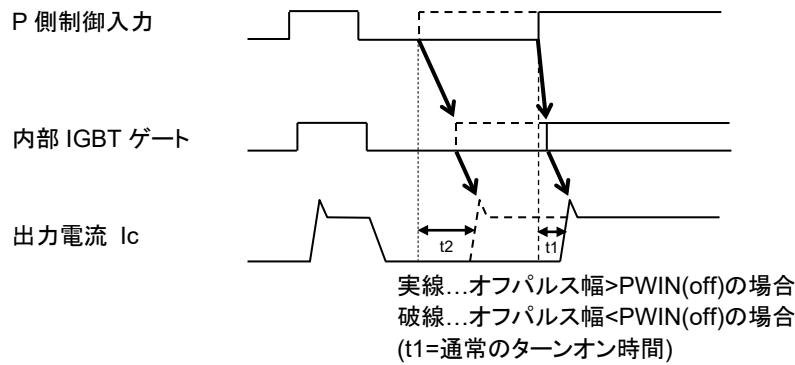


図 3-1-7 許容最小入力パルス幅 PWIN(off)以下の信号を印加した場合の出力動作 (P 側のみ)

(2) Fo 端子部内部回路構成

Fo 端子はオープンドレインです。外部 I/F 系の電源(5V 系電源など)へプルアップしてください。(図 3-1-6)
 図 3-1-8 に Fo 端子の V-I 特性(代表例)を示します。Fo 信号のシンク電流の最大定格は 1mA です。

表 3-1-3 Fo 信号電氣的特性

項目	記号	条件	最小値	標準値	最大値	単位
エラー出力電圧	V _{FOH}	V _{SC} =0V, Fo=10kΩ 5V プルアップ	4.9	—	—	V
	V _{FOL}	V _{SC} =1V, I _{FO} =1mA	—	—	0.95	V

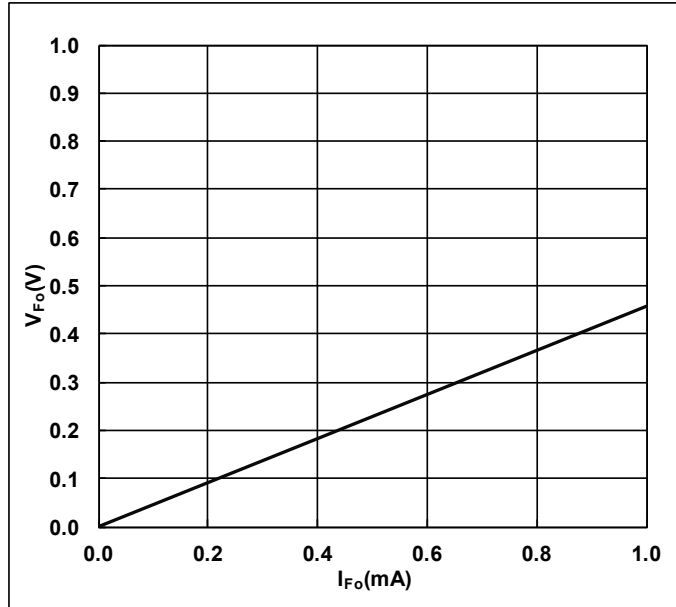


図 3-1-8 Fo 端子の V-I 特性(V_D=15V, T_j=25°C, 代表例)

3. 1. 6 スナバコンデンサの接続

サージ電圧による耐電圧破壊を防止するために、平滑コンデンサと DIIPM の P 端子及び N1 点(シャント抵抗端子)間の配線はできるだけ短くしてください。また、0.1~0.22μF/630V 程度の C スナバを DIIPM の直近に挿入してください。

図 3-1-9 のように、スナバコンデンサの挿入位置として①と②が考えられます。サージ電圧を最大限に除去するためにはスナバコンデンサを②の位置に設置する必要がありますが、シャント抵抗にはスナバコンデンサを通して充放電電流(配線インダクタンスとスナバコンデンサの共振電流)が流れます。配線インダクタンスが大きい場合、この充放電電流で短絡保護回路が動作する場合がありますので注意が必要です。

シャント抵抗の外(①の位置)にスナバコンデンサを設置する場合は、サージ電圧を最大限に除去するために A の配線を短くし、③のように設置することをご検討ください。

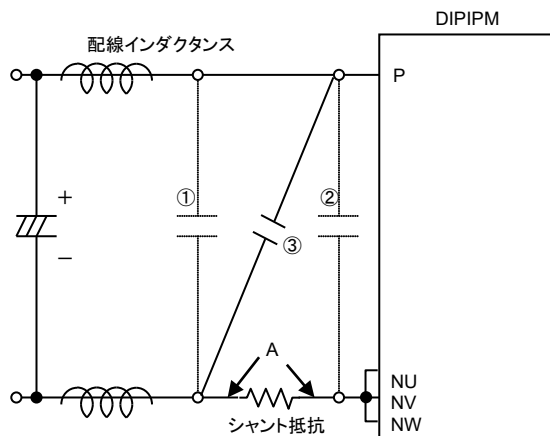


図 3-1-9 スナバ接続回路

3. 1. 7 外部シャント抵抗周辺回路の接続

DIIPM の短絡保護機能を利用するためには、DIIPM の外部に電流検出用のシャント抵抗が必要です。DIIPM とシャント抵抗の配線が長くなりますと、配線パターンインダクタンスによって、サージが発生し、DIIPM 内部の IC を破壊することがあります。

DIIPM とシャント抵抗間の配線パターンは、配線インダクタンスが小さくなるよう、極力短く配線してください。また、シャント抵抗はリード端子のない面実装タイプなどを使用して、インダクタンスを抑えることを推奨いたします。

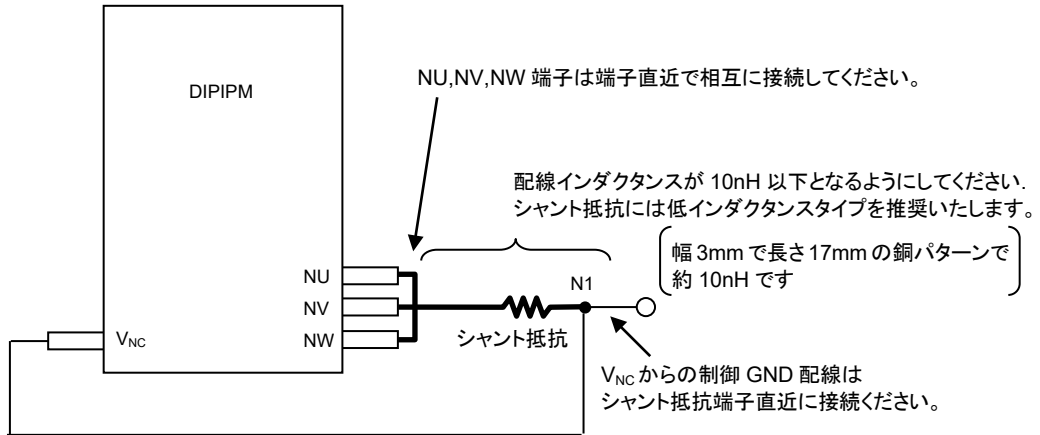


図 3-1-10 シャント抵抗周辺配線(1シャント抵抗使用時)

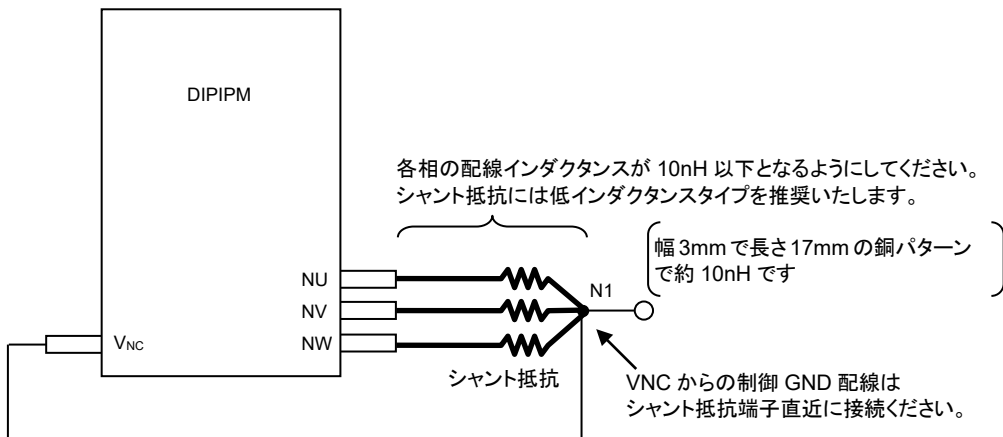


図 3-1-11 シャント抵抗周辺配線(3シャント抵抗使用時)

外部シャント抵抗周辺の配線は、その配線インダクタンスによって DIIPM の動作にさまざまな影響を与えます。極力短く設計し、配線インダクタンスを抑えるようにしてください。

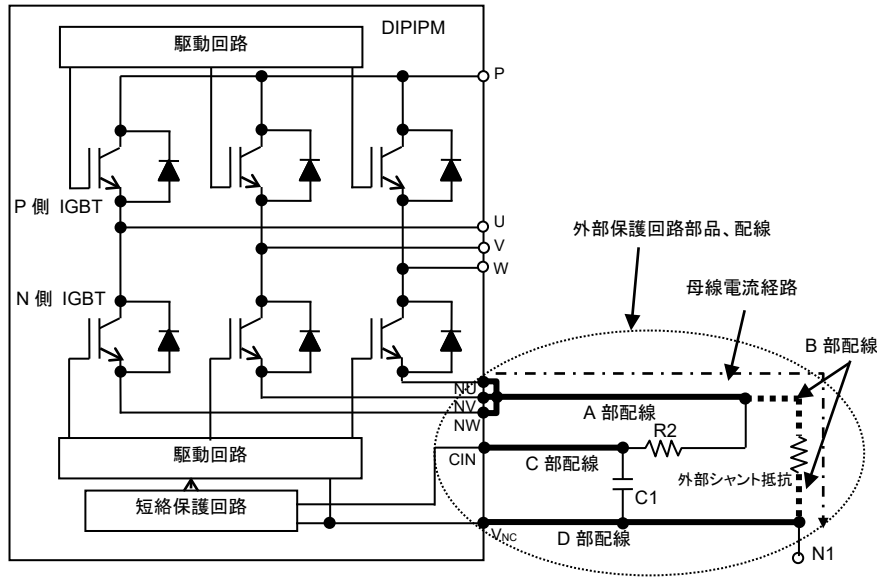


図 3-1-12 シャント抵抗周辺配線と配線の影響

(1) A部配線パターンの影響

N側 IGBT ゲートは V_{NC} 基準で動作します。図 3-1-12 中の A 部配線パターンが長いと、IGBT のスイッチング時に A 部配線インダクタンスによる電圧変動が発生し、IGBT のエミッタ電位を変動させ異常動作する要因となります。外部シャント抵抗は、配線インダクタンスが 10nH 以下となるように極力 NU, NV, NW 端子近傍に設置してください。

(2) B部配線パターンの影響

B部配線は短絡保護レベルに影響を与えます。短絡保護は $CIN - V_{NC}$ 間に発生する電圧 (typ. 0.48V) で動作します。B部配線が長いと、この配線インダクタンスにより発生するサージ電圧により、短絡保護レベルが低下します。 CIN, V_{NC} は、B部配線を含まないように外部シャント抵抗の両端に接続してください。

(3) C部配線パターンの影響

外部シャント抵抗に発生するノイズを除去するために、 $R2C1$ フィルタ回路を接続しますが、C部配線が長いと、フィルタ効果が小さくなり、誘導ノイズをうけやすくなります。 $R2C1$ フィルタは CIN, V_{NC} 端子近傍に設置してください。

(4) D部配線パターンの影響

(1)~(3)までの項目すべてに影響があります。GND 配線は極力短くする必要があります。

1200V 小型 DIIPM シリーズ アプリケーションノート

3. 1. 8 PCB設計時の注意点について

PCBパターンを設計される上でパターン上の主な注意点を図 3-1-13 に示します。

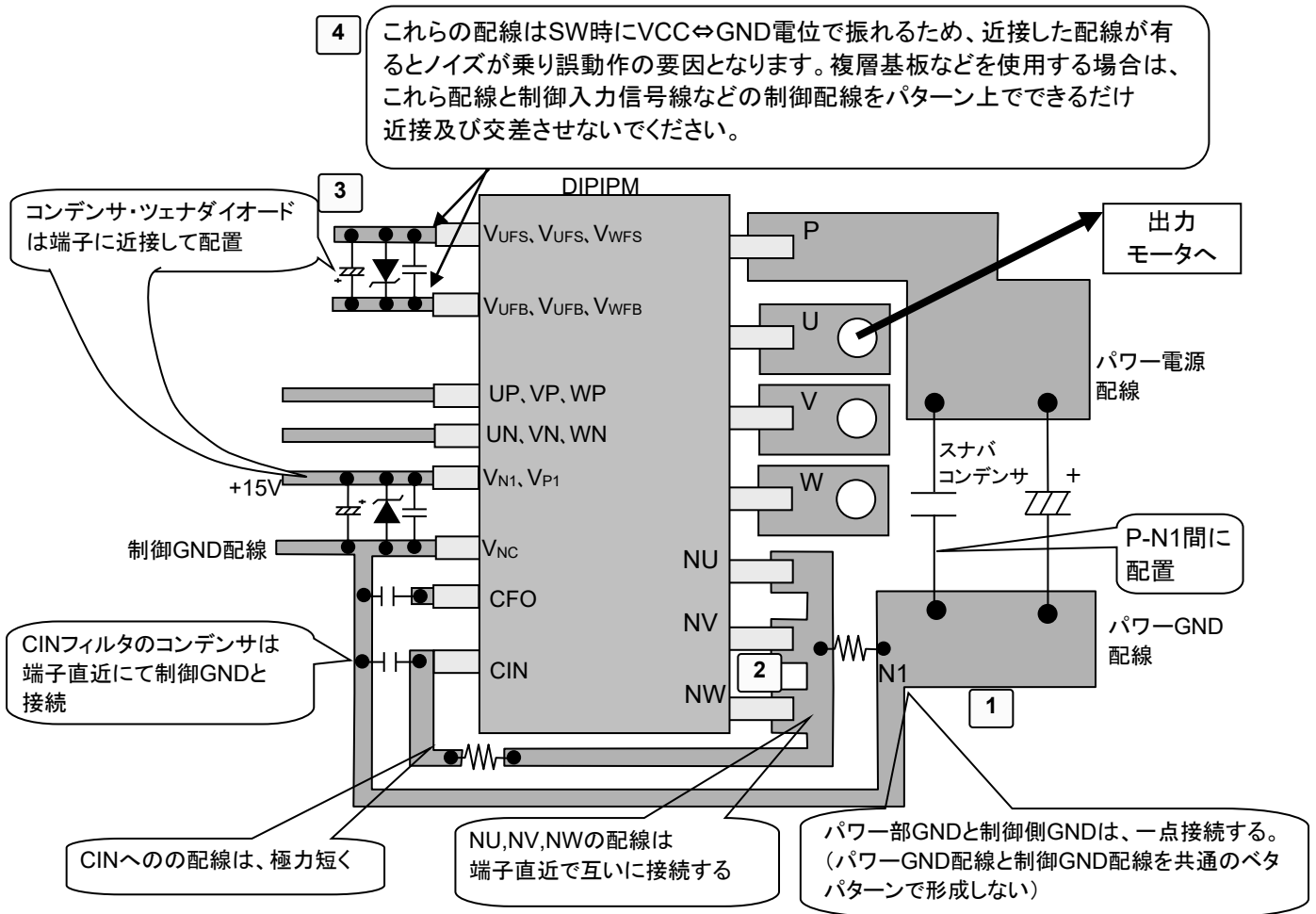


図 3-1-13 PCBパターン設計時の注意点

PCBパターンにおけるトラブル事例

	パターン事例	トラブル発生事例
1	・パワーGNDと制御GNDがオーバーラップして配線	パワーGNDに流れる不連続な大電流による di/dt と配線の寄生インダクタンスによって生じるサージが、制御GNDに伝搬して制御GNDレベルが変動し、同GNDを基準としている入力端子に誤信号が入力され IGBT が誤オンしてアーム短絡発生。
	・GND配線にループあり	GNDループに迷走電流が流れることでGND電位変動が発生し、入力端子に誤信号が入力され IGBT が誤オンしてアーム短絡発生。
2	N端子-N1間配線が長い	配線が長いことにより寄生インダクタンスが大きくなり、スイッチングによって発生する di/dt によりサージが発生し、以下のようなトラブルが発生。 ・VS 電位(出力端子電位)の低下による HVIC 誤動作の発生 ・LVIC の過電圧破壊の発生
3	コンデンサ・ツェナダイオードが無し、或いは位置が端子から離れている	制御ICの過電圧破壊や誤動作の発生。
4	P側駆動電源配線と入力配線が近接・平行に配線	P側駆動電源配線とDIPへの制御入力配線間の浮遊容量を通してクロストークノイズが伝搬し、入力端子に誤信号がはいり IGBT が誤オンしてアーム短絡が発生。

3. 1. 9 DIIPM の並列動作について

図 3-1-14 に DIIPM を 2 台並列接続した場合の回路例を示します。DIIPM の下アーム IGBT のゲートチャージは、DIIPM 1 では①の経路、DIIPM 2 では②の経路で行われます。この経路が長くなりますと、配線インダクタンスも大きくなりますのでスイッチング動作に影響を与える可能性があります。(上アームのブートストラップコンデンサの充電にも影響を与える可能性があります。) また、ノイズの影響を受け易く誤動作の要因となります。並列数が多ければ多いほど、この GND パターンは長くなりますので、GND 電位の変動による他の回路への影響(電源、保護回路動作等)も考えられますので推奨いたしません。電気的には、動作可能と考えますが、上記項目に注意し評価検討をお願いします。

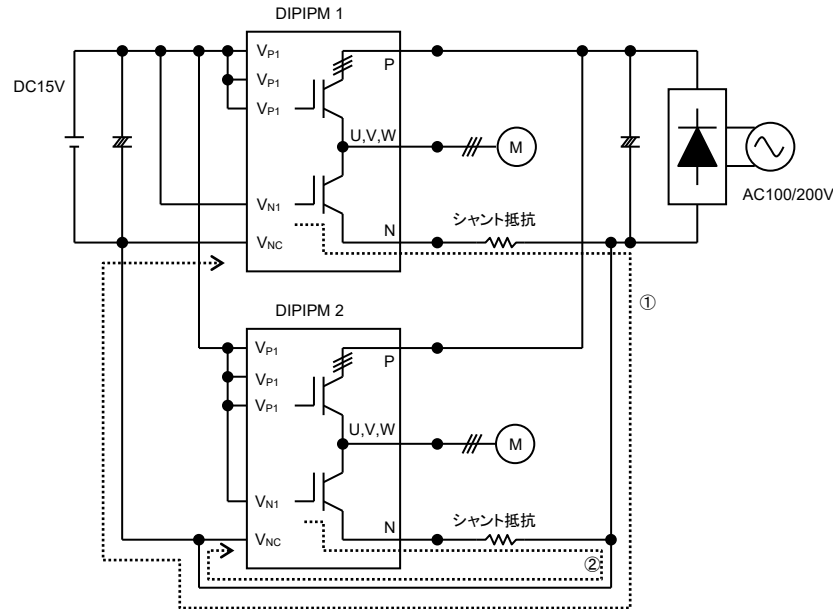


図 3-1-14 並列動作

また、同一パッケージ内の素子の並列使用(例: U相とV相の IGBT を並列接続で使用)につきましても、素子特性のバラつきによる SW 時間、飽和電圧の差異などにより、片側の IGBT への電流集中の可能性もありますので推奨いたしません。

3. 1. 10 SOA(スイッチング時、短絡時)

DIIPM の SOA について下記に示します。(規定はしていません)

- V_{CES} : DIIPM 内部の IGBT のコレクタ-エミッタ間電圧の最大定格
- V_{CC} : P-N 間電源電圧
- $V_{CC(surge)}$: V_{CC} に、P-N 電源間につながる電解コンデンサと IPM の P-N 間の配線インダクタンスにより発生するサージ電圧を加えた電圧を表します。
- $V_{CC(prot)}$: 自己保護可能な P-N 間電源電圧を表します。

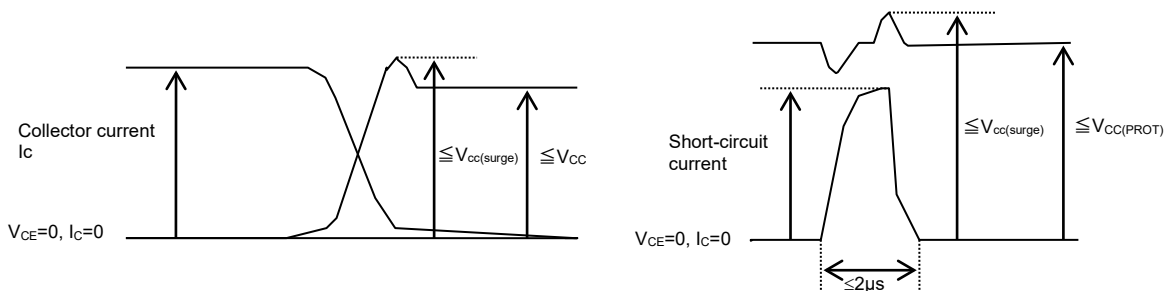


図 3-1-15 スwitching、短絡時の SOA

スイッチングターンオフ時

V_{CES} は DIIPM に搭載される IGBT の耐圧 1200V を示しています。この値より、DIIPM 内の配線インダクタンスで発生するサージ電圧(マージン等考慮し 200V 以下)を引いたものがサージ込みの定格 $V_{CC(surge)} = 1000V$ となります。さらに、P-N 電源間に接続される電解コンデンサと IPM の P-N 間の配線インダクタンスにより発生するサージ電圧(100V 以下)を引いたものが、定常時の定格の $V_{CC} = 900V$ となります。

短絡時

V_{CES} は DIIPM に搭載される IGBT の耐圧 1200V を示しています。この値より、DIIPM 内の配線インダクタンスで発生するサージ電圧(マージン等考慮し 200V 以下)を引いたものがサージ込みの定格 $V_{CC(surge)} = 1000V$ となります。さらに、P-N 電源間に接続される電解コンデンサと DIIPM の間の配線インダクタンスにより発生するサージ電圧(200V 以下)を引いたものが短絡時の定格 $V_{CC} = 800V$ となります。

3. 1. 11 短絡 SOA

図3-1-16~17に短絡SOAカーブ(代表例)を示します。

条件: $V_{CC}=800V$, $T_j=125^{\circ}C$ スタート、非繰り返し、 $V_{CES} \leq 1200V$, $V_{CC(surge)}=1000V$ (サージ電圧含む)、負荷短絡(2m負荷)

図3-1-16の場合、PSS05S72FTのIGBTのONしきい値電圧min.品(飽和電流が大となるもの)の場合の代表例で、図に示した条件時に定格の約20倍のコレクタ電流が流れ、この時のIGBTのON期間が約 $4.5\mu s$ 以下であればターンオフできる実力があることを示しています。本データは代表例であり制御電源電圧 V_D 、主回路電圧(VCC)によってIGBTの短絡動作範囲は変わりますので、RCフィルタの設定はSOAにマージンを持って設定してください。

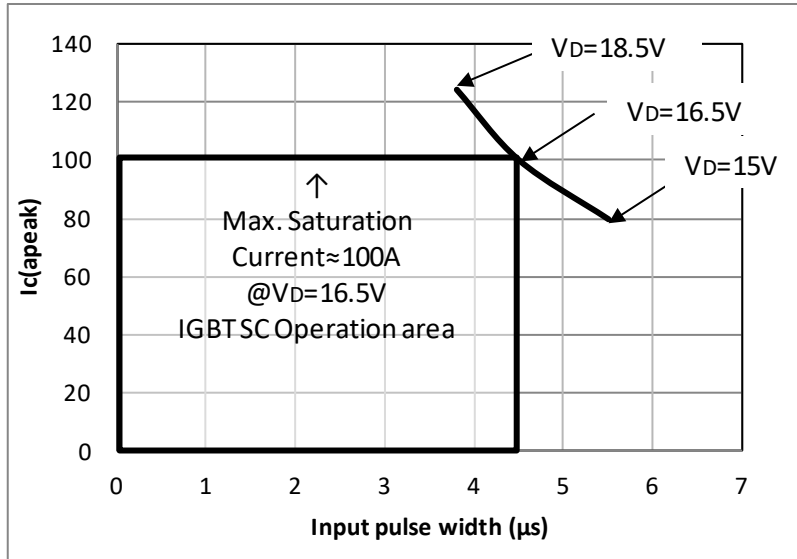


図 3-1-16 PSS05S72FT の短絡 SOA カーブ(代表例)

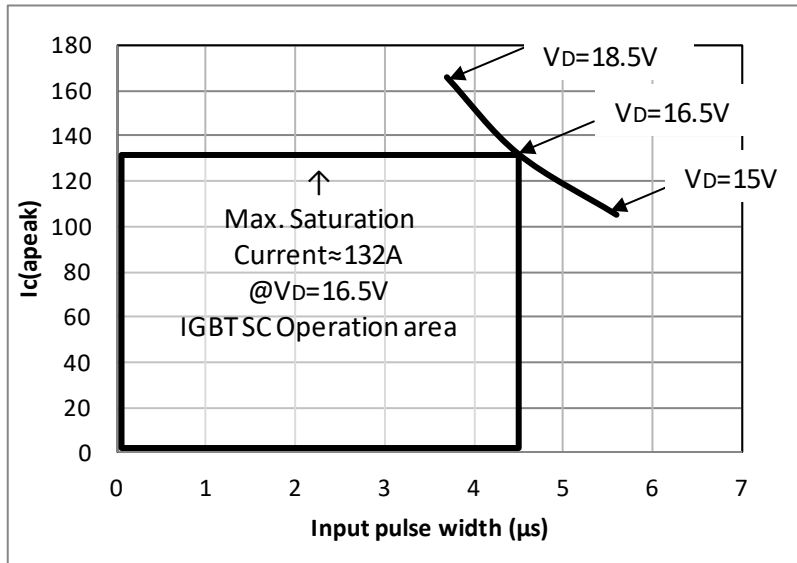


図 3-1-17 PSS10S72FT の短絡 SOA カーブ(代表例)

3. 1. 12 動作寿命について

DIIPMの動作時は、IGBTの接合温度変化(ΔT_j)が繰り返し発生します。この ΔT_j と温度変化のサイクル数は、デバイスの寿命に影響を及ぼします。図3-1-18にIGBTの ΔT_j とサイクル数の寿命カーブを示します。($\Delta T_j=46, 88, 98K$ の3ポイントで実施したデータであり、それぞれの故障率0.1, 1, 10%の点を回帰直線で表したものです。)

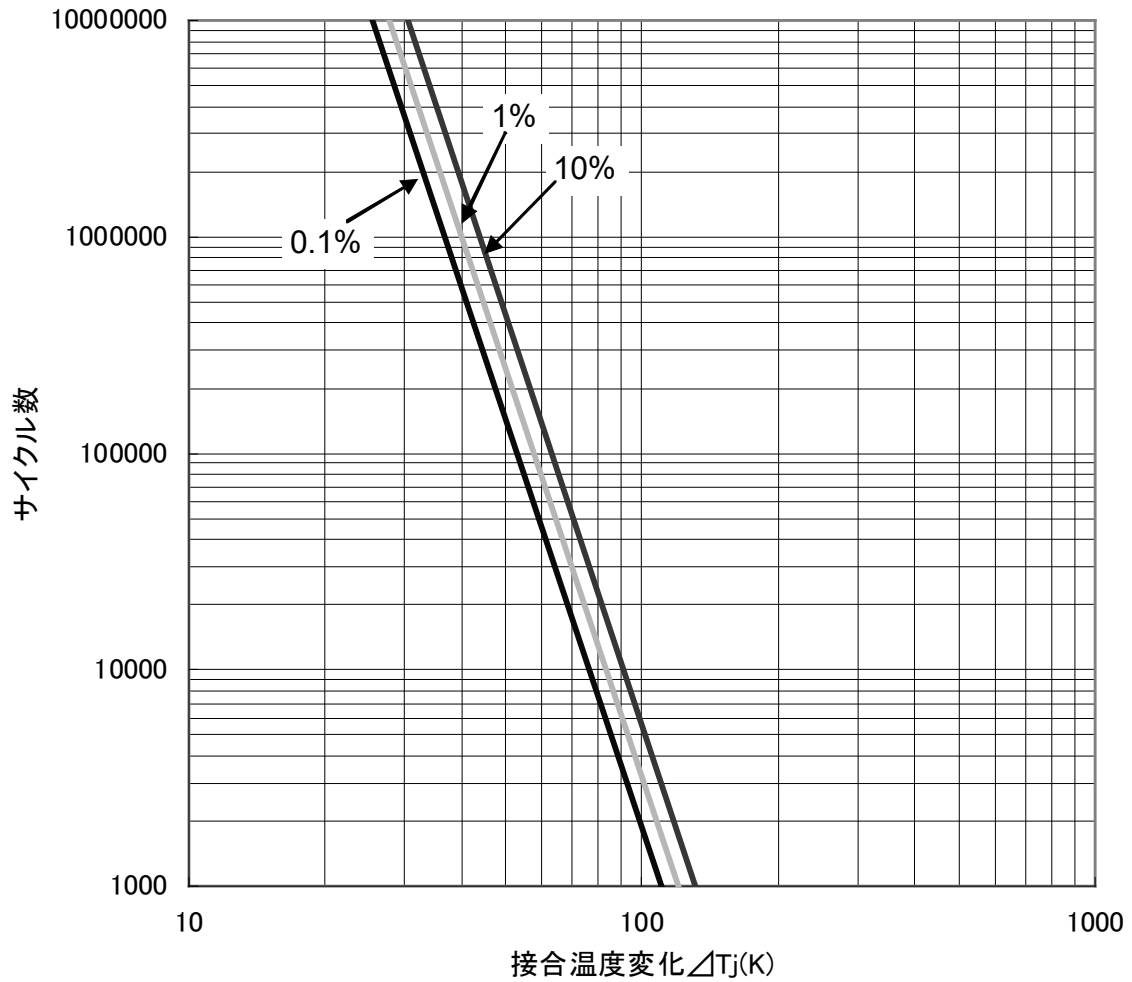


図 3-1-18 DIIPM の寿命カーブ

3. 2 損失と放熱設計

3. 2. 1 損失計算方法(例)

平均電力損失簡易計算式について

●適用範囲

VVVF インバータへの応用に際してパワー素子を選定(比較)するための、通常動作時の総合損失の算出が可能です。
装置の熱設計(限界設計)には適用できません。

●仮定条件

- ①正弦波電流出力 PWM 制御 VVVF インバータ
- ②正弦波・三角波比較による PWM 信号発生
- ③PWM 信号のデューティ幅は $\frac{1-D}{2} \sim \frac{1+D}{2}$ (%/100) で変化 D: 変調率
- ④出力電流にはリップルがなく $I_{cp} \cdot \sin x$ が流れる
- ⑤出力電流に対する負荷力率は $\cos\theta$ 、スイッチングに対する負荷は純インダクタンス

●式の算出

PWM 信号のデューティ変化は、位相 x に対して $\frac{1+D \times \sin x}{2}$ となり、これが出力電圧変化に相当しますから、

出力電流と電圧の関係を示す力率 $\cos\theta$ により、出力電流の任意の位相 x での出力電流と PWM デューティは、

$$Output\ current = I_{cp} \times \sin x$$

$$PWM\ Duty = \frac{1 + D \times \sin(x + \theta)}{2}$$

従って、位相 x での $V_{CE(sat)}$ と V_{EC} は

$$V_{ce(sat)} = V_{ce(sat)}(@ I_{cp} \times \sin x)$$

$$V_{ec} = (-1) \times V_{ec}(@ I_{cp}(= I_{cp}) \times \sin x)$$

以上から、トランジスタの静損失は、

$$\frac{1}{2\pi} \int_0^{\pi} (I_{cp} \times \sin x) \times V_{ce(sat)}(@ I_{cp} \times \sin x) \times \frac{1 + D \sin(x + \theta)}{2} \bullet dx$$

同様にフリーホイールダイオードの静損失は、

$$\frac{1}{2\pi} \int_{\pi}^{2\pi} ((-1) \times I_{cp} \times \sin x) ((-1) \times V_{ec}(@ I_{cp} \times \sin x)) \times \frac{1 + D \sin(x + \theta)}{2} \bullet dx$$

一方、トランジスタの動損失は PWM デューティに依りませんので

$$\frac{1}{2\pi} \int_0^{\pi} (P_{sw(on)}(@ I_{cp} \times \sin x) + P_{sw(off)}(@ I_{cp} \times \sin x)) \times f_c \bullet dx$$

またフリーホイールダイオードの動損失は、図 3-2-1 のように理想化すると

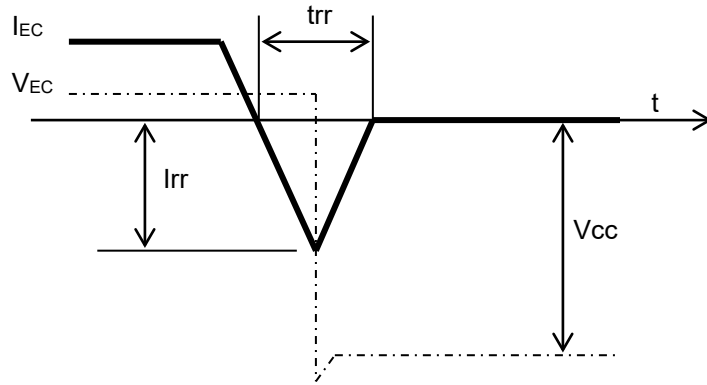


図 3-2-1 FWDi の動損失

$$P_{sw} = \frac{I_{rr} \times V_{cc} \times trr}{4}$$

リカバリーが発生するのは、出力電流周期の半分ですので、動損失は、

$$\begin{aligned} & \frac{1}{2} \int_{\pi}^{2\pi} \frac{I_{rr}(@ I_{cp} \times \sin x) \times V_{cc} \times trr(@ I_{cp} \times \sin x)}{4} \times fc \cdot dx \\ &= \frac{1}{8} \int_{\rho}^{2\pi} I_{rr}(@ I_{cp} \times \sin x) \times V_{cc} \times trr(@ I_{cp} \times \sin x) \times fc \cdot dx \end{aligned}$$

●インバータへの応用の際の一般的な注意点

- ・出力電流 1 周期分を多数分割し、各点における実際の「PWM デューティ」、「出力電流」、「その電流における $V_{CE(sat)}$ 、 V_{EC} 、 P_{sw} 」に基づいて計算し加算する必要があります。
- ・PWM デューティは信号の発生方法に依存します。
- ・出力電流波形や出力電流と PWM デューティの関係は信号の発生方法、負荷、その他の種々の要因に依存しますので、実波形を基にします。
- ・ $V_{CE(sat)}$ は $T_j=125^{\circ}C$ の値を使用します。
- ・ P_{sw} は $T_j=125^{\circ}C$ ハーフブリッジ動作時の値を使用します。

1200V 小型 DIIPM シリーズ アプリケーションノート

3. 2. 2 温度上昇の考え方と計算例

本シリーズの各製品について損失計算を実施し、実効電流 I_o とキャリア周波数特性(代表例)を求めた結果を図 3-2-2 に示します。

条件: $V_{CC}=600V$, $V_D=V_{DB}=15V$, $PF=0.8$, $M=1.0$, Typ.特性, $T_j=125^\circ C$, $T_f=100^\circ C$, $\Delta T(j-f)=25K$, $R_{th}(j-c)=$ 規格 max., $R_{th}(c-f)=0.3^\circ C/W(1/6$ モジュール), シミュレーションモデル 三相変調 正弦波出力 $f_o=60Hz$

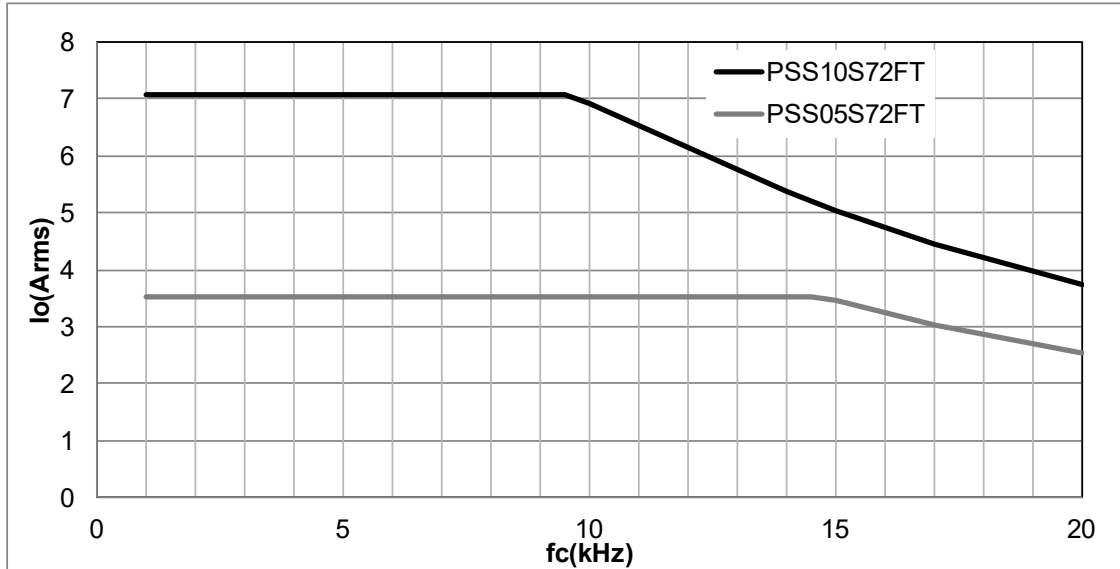


図 3-2-2 キャリア周波数－実効電流特性(代表例)

図 3-2-2 の特性(計算値代表例)は、ヒートシンク温度 $T_f=100^\circ C$ でインバータ動作した場合に、IGBT の接合温度 T_j が、安全動作させるための平均動作接合温度 $125^\circ C$ まで上昇する時に流し得ることのできる許容実効電流 I_o を表しています。この特性は、制御方式、モーター種等で変わります。また、定格以上の電流は、連続して流さないようにしてください。

インバータ損失は、三菱半導体ホームページ(URL <http://www.MitsubishiElectric.co.jp/semiconductors/>) で公開の損失計算ソフトを使用して計算することができます。

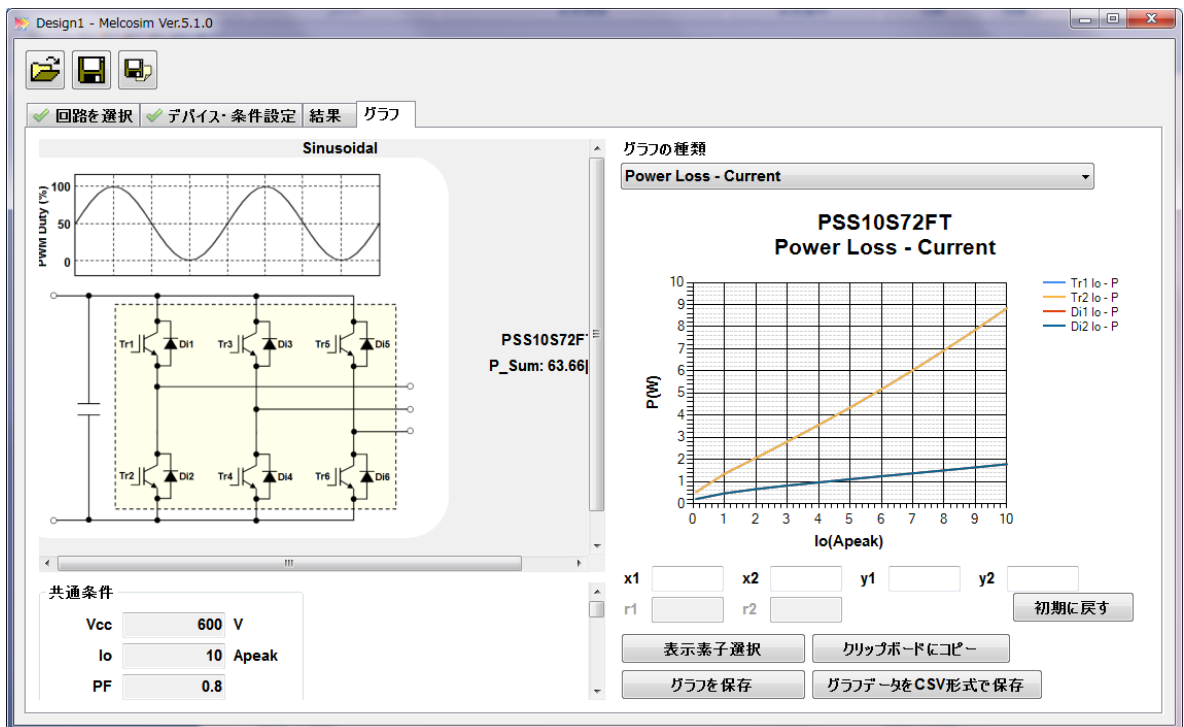


図 3-2-3 損失計算ソフト画面例

1200V 小型 DIPIPM シリーズ アプリケーションノート

3.3 ノイズ・静電気耐量

3.3.1 測定回路

DIPIPM でのノイズ試験に関しては、図 3-3-1 の測定回路、条件で±2.0kV 以上の耐量を確認しています。ノイズ耐量は、ノイズ試験の環境、制御基板配線パターン、部品配置等に大きく依存しますので実システムでの確認を行ってください。

測定回路

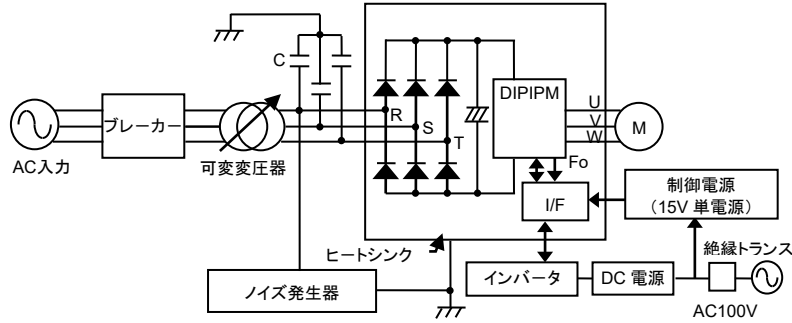


図 3-3-1 ノイズ試験回路

15V 単電源方式、モータは IM で実施、マイコンからの PWM 信号はフォトカプラ入力
C1: AC ラインコモンモードフィルタ—4700pF

測定条件

$V_{CC}=600V$ 、 $V_D=15V$ 、 $T_a=25^\circ C$ 、無負荷

ノイズ印加方法: AC ライン(R、S、T)より印加 周期 $T=16ms$ 、時間幅 $tw=0.05\sim 1\mu s$ 、Random 入力

3.3.2 対策と注意事項

DIPIPM は、設計時に内部配線の最適化による低インダクタンス化、絶縁構造の最適化による漏れ電流の低減を行うことで、部品を削減しノイズ耐量を確保していますが、回路パターンなどによって制御部にノイズが回り込み短絡や短絡保護の誤動作が発生する場合があります。その場合には、図 3-3-2 のような対策をご検討ください。

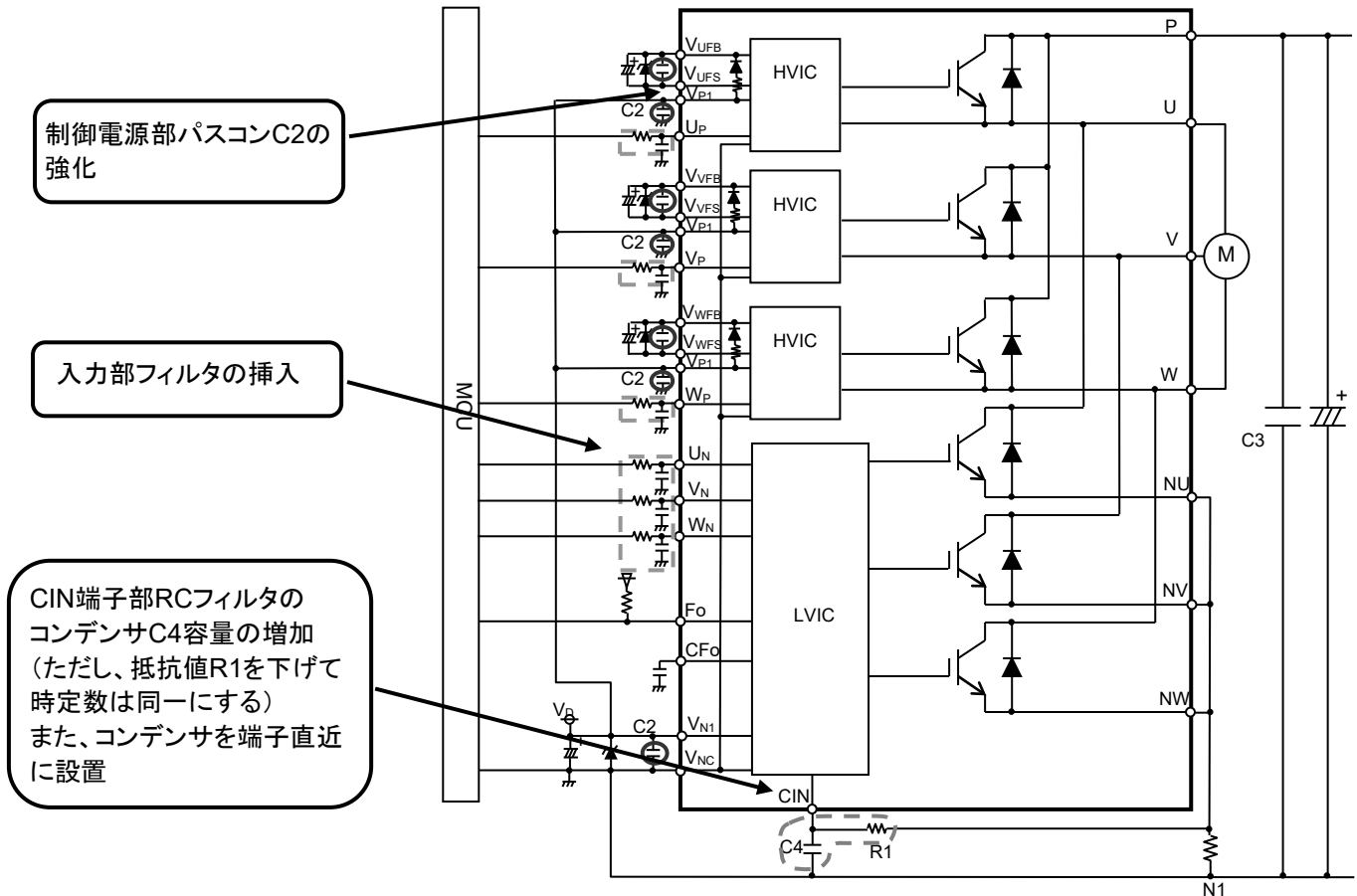


図 3-3-2 ノイズ誤動作時対策案

3.3.3 静電気耐量について

HBM($R=1.5k\Omega, C=100pF$)及び MM($R=0\Omega, C=200pF$)による静電気耐量実力値を示します。

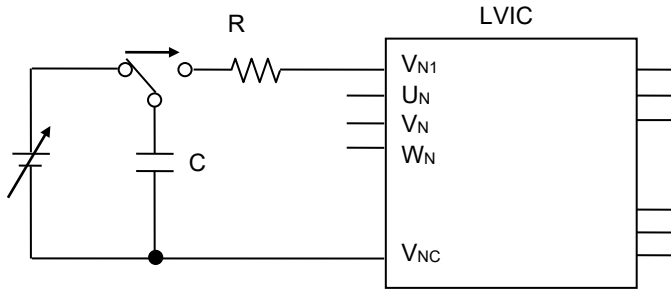


図 3-3-3 静電気耐量評価回路例(V_{N1} 端子評価時)

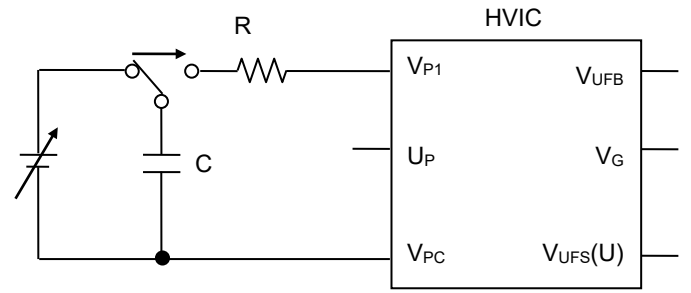


図 3-3-4 静電気耐量評価回路例(V_{P1} 端子評価時)

(1) Human Body Model

HBMにて DIIPM 各端子-GND(or NU, NV, NW)端子間に正・負ので夏を 3 回印加し、印加前後の端子の V-I 特性の変化を確認。

表3-3-1: 静電気耐量(代表例)

条件: サージ電圧を1回印加し耐圧劣化に至った電圧(kV)

0.1kV毎に装置の限界電圧($\pm 4.0kV$)まで実施。

破壊有無は、静電気サージ印加端子のV-I特性にて確認。

[制御部]

・内部回路構成同一のため PSSxxS72FT の各品種共通

端子	+	-
UP, VP, WP- V_{NC} 間	4.0 以上	4.0 以上
V_{P1} - V_{NC} 間	4.0 以上	4.0 以上
V_{UFB} - V_{UFS} , V_{VFB} - V_{VFS} , V_{WFB} - V_{WFS} 間	4.0 以上	4.0 以上
UN, VN, WN- V_{NC} 間	4.0 以上	4.0 以上
V_{N1} - V_{NC} 間	4.0 以上	4.0 以上
CIN- V_{NC} 間	4.0 以上	4.0 以上
Fo- V_{NC} 間	4.0 以上	4.0 以上
CFO- V_{NC} 間	4.0 以上	4.0 以上
V_{OT} - V_{NC} 間	4.0 以上	4.0 以上

[パワー部]

・PSSxxS72FT

端子	+	-
P-NU, NV, NW間	4.0以上	4.0以上
U-NU, V-NV, W-NW間	4.0以上	4.0以上

(2)Machine Model

MM 法にて DIIPM 各端子-GND(or NU,NV,NW)端子間に正・負の電圧を 1 回印加し、印加前後の端子の V-I 特性の変化を確認。

表3-3-2: 静電気耐量(代表例)

条件: サージ電圧を1回印加し耐圧劣化に至った電圧(kV)

0.1kV毎に装置の限界電圧(±4.0kV)まで実施。

破壊有無は、静電気サージ印加端子のV-I特性にて確認。

[制御部]

・内部回路構成同一のためPSSxxS72FTの各品種共通

端子	+	-
UP,VP,WP-V _{NC} 間	1.0	0.9
V _{P1} -V _{NC} 間	1.5	1.5
V _{UFB} -V _{UFS} ,V _{VFB} -V _{VFS} ,V _{WFB} -V _{WFS} 間	2.1	2.1
UN,VN,WN-V _{NC} 間	1.1	1.0
V _{N1} -V _{NC} 間	4.0 以上	4.0 以上
CIN-V _{NC} 間	1.0	0.5
F _O -V _{NC} 間	1.0	0.9
CFO-V _{NC} 間	0.9	1.0
V _{OT} -V _{NC} 間	1.1	1.4

[パワー部]

・PSS05S72FT

端子	+	-
P-NU, NV, NW間	4.0以上	4.0以上
U-NU, V-NV, W-NW間	4.0以上	4.0以上

・PSS10S72FT

端子	+	-
P-NU, NV, NW間	4.0以上	4.0以上
U-NU, V-NV, W-NW間	4.0以上	4.0以上

第4章 ブートストラップ回路動作

4.1 ブートストラップ回路動作

DIIPM では、ブートストラップ回路を用いたフローティング電源により、通常のインバータ回路駆動時に必要な4つの独立電源(P側 IGBT 駆動用3相分+N側 IGBT 駆動用)をN側駆動用制御電源1つで動作させることができます。

ブートストラップ回路は、図4-1-1に示すとおりブートストラップダイオード(以下 BSD)とブートストラップコンデンサ(以下 BSC)、電流制限抵抗で構成されます。(1200V 小型 DIIPM シリーズは、BSD と制限抵抗を内蔵しており、BSC を外付けすることでブートストラップ回路を構成可能です。)

P側 IGBT の駆動に BSC を電源として使用し、P側 IGBT オン時のゲートチャージ及び、P側 IGBT の駆動 IC 内ロジック回路へ回路電流を供給します。(図4-1-2 コンデンサが電源の代わりであるため、その電流供給能力には制限があり、ブートストラップ回路によるP側駆動は、比較的消費電流が小さいDIIPMに特に適した方法です。)

回路駆動により消費された電荷は、インバータ動作中に各相の出力端子(U端子など)の電位がGNDレベル付近まで下がることで、N側15V制御電源から制限抵抗、BSDを通して、コンデンサに充電されます。

ただし、P側素子のSWシーケンス、BSCの容量など使用条件によっては、必要な電荷量に対して十分な充電が行われず、BSCの電位が電源電圧低下(UV)保護レベル以下に低下し、P側IGBTのSW停止やゲート電圧(コンデンサ電圧)の低下によるP側IGBTの損失増加につながりますので、コンデンサの容量など回路定数の設定時には十分な検討、評価が必要です。ブートストラップ回路による駆動についての詳細は、アプリケーションノートの『DIIPM ブートストラップ回路設計の手引き』を参照ください。

以下に、1200V 小型DIIPM シリーズの搭載のBSDの特性及び、P側IGBT駆動部の消費電流特性を示します。

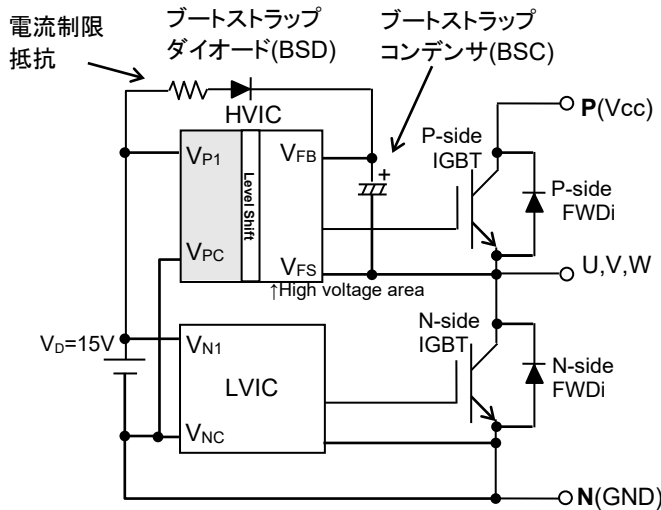
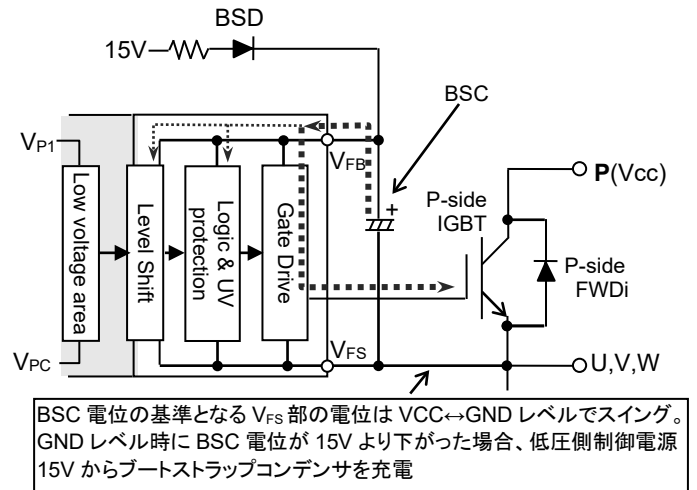


図 4-1-1 ブートストラップ回路



BSC 電位の基準となる V_{FS} 部の電位は $V_{CC} \leftrightarrow GND$ レベルでスイング。GND レベル時に BSC 電位が 15V より下がった場合、低圧側制御電源 15V からブートストラップコンデンサを充電

図 4-1-2 ブートストラップ回路

4. 2 ブートストラップ電源回路電流

本製品の定常状態におけるブートストラップ電源の回路電流は、最大 1.10mA です。しかし、PWM 制御時などスイッチング時には、IGBT 駆動のためゲートの充放電が繰り返されるため、回路電流はキャリア周波数に比例して増加し、1.10mA を超えます。図 4-2-1~2 に PSSxxS72FT の回路電流 I_{DB} -キャリア周波数特性(代表例)を示します。

条件: $V_D=V_{DB}=15V$, $T_j=125^\circ C$

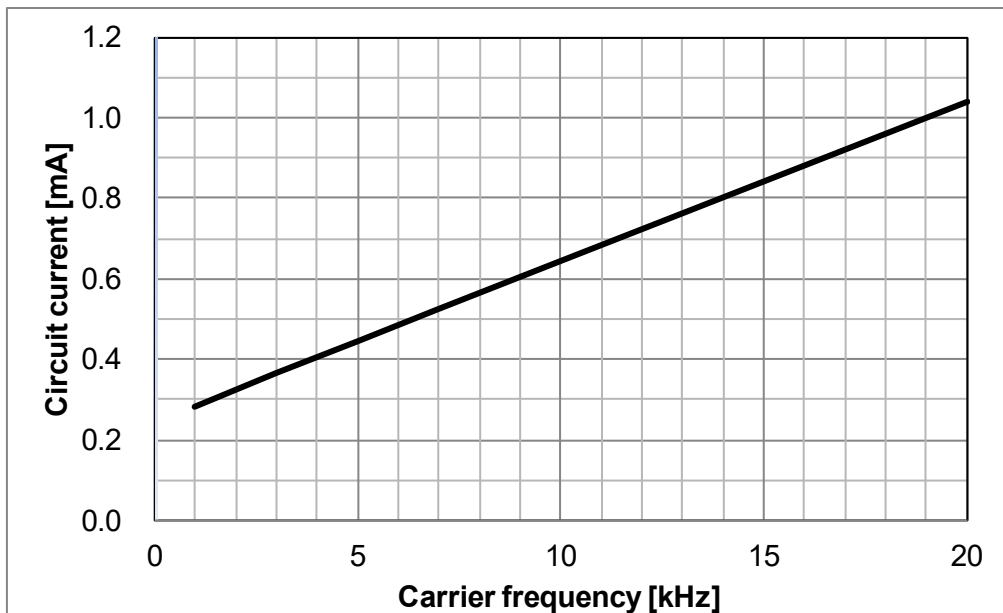


図 4-2-1 I_{DB} vs. キャリア周波数特性 (PSS05S72FT (5A/1200V))

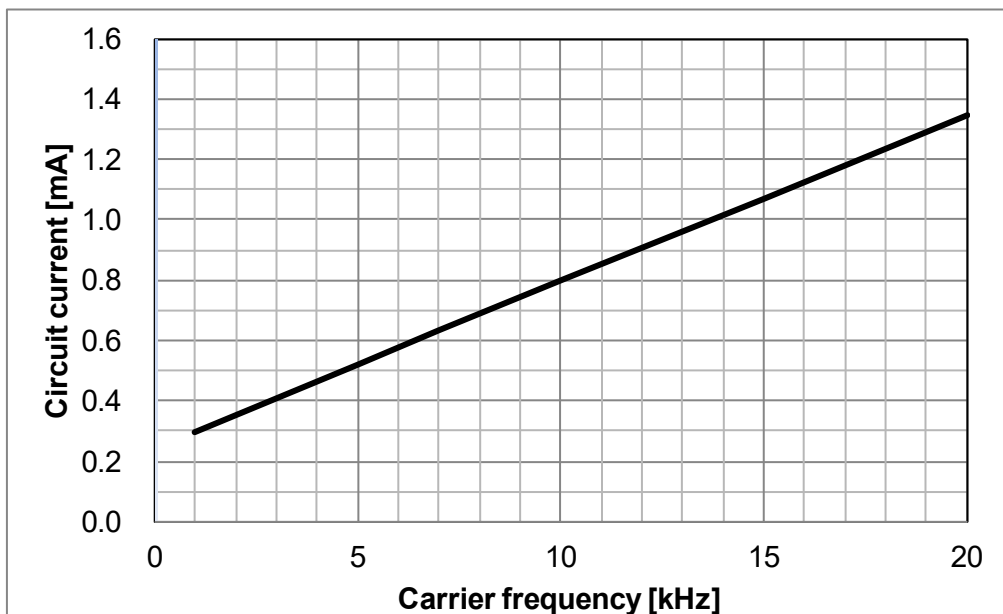


図 4-2-2 I_{DB} vs. キャリア周波数特性 (PSS10S72FT (10A/1200V))

4. 3 ブートストラップ回路定数設定時の注意点

ブートストラップ回路の各定数の検討時には、各素子の温度特性、寿命による変化、ばらつきなどを考慮した上で設計願います。ブートストラップ回路の動作については、アプリケーションノートの『DIIPM ブートストラップ回路設計の手引き』も参照ください。各素子の選定において注意いただきたい点について以下に挙げます。

(1)ブートストラップコンデンサ

BSC には、電解コンデンサが一般的に使用されていますが、近年、大容量のセラミックコンデンサも使用されつつあります。しかし、電解コンデンサとは異なり、セラミックコンデンサは、DC バイアス特性 (DC 電圧印加時の容量特性) により容量が大きく低下するものがありますので注意が必要です。表 4-3-1 に電解コンデンサとセラミックコンデンサの一般的な特性例を示します。

表 4-3-1 コンデンサ静電容量の各特性例

	電解コンデンサ	大容量セラミックコンデンサ
温度特性 (Ta:-20~85°C)	アルミ電解コンデンサ: 低温:-10% 高温:+10%程度 導電性高分子アルミ固体タイプ: 低温:-5% 高温:+10%程度	B,X5R,X7R など温度特性ランクにより異なる。 低温:-5%~0%程度 高温:-5%~-10%程度
DC バイアス特性 (DC15V 印加時)	定格電圧内であればほぼ変化無し	サイズ、温度特性、定格電圧により異なる。 -70%~-15%程度低下

電解コンデンサについては、DC バイアス特性は問題ありませんが、繰り返し充放電によるリップル耐量、寿命(周囲温度による影響大)などに注意が必要です。上記、特性は WEB に掲載のコンデンサの特性の参考例です。コンデンサの詳細特性につきましては、各コンデンサメーカーにご確認ください。

(2)ブートストラップダイオード

1200V 小型 DIIPM シリーズは、P 側 IGBT 駆動電源用のブートストラップダイオード(以下 BSD)を搭載してします。BSD には、typ20Ω の電流制限抵抗も搭載しています。BSD の V_F 特性(電流制限抵抗による電圧降下分を含む)を図 4-3-1 及び表 4-3-2 に示します。

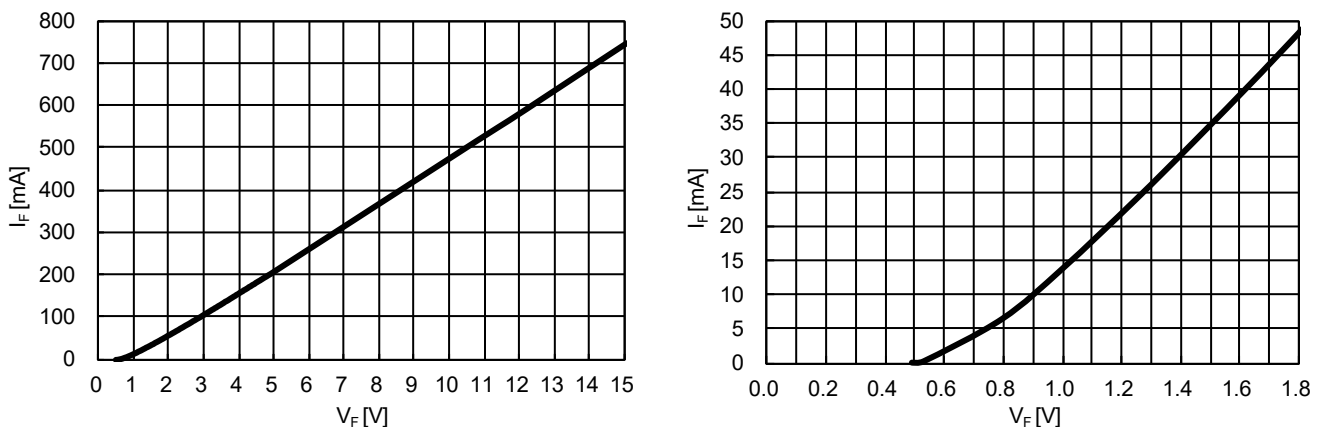


図 4-3-1 ブートストラップダイオード V_F - I_F カーブ(代表例、右図は拡大図)

表 4-3-2 ブートストラップダイオード電気的特性

項目	記号	条件	Min.	Typ.	Max.	Unit
ブートストラップ Di 順電圧降下	V_F	$I_F=10\text{mA}$, 制限抵抗の電圧降下含む	0.5	0.9	1.3	V
ブートストラップ Di 内蔵 制限抵抗	R	ブートストラップDiに内蔵	16	20	24	Ω

4. 4 ブートストラップ回路使用時の初期充電について

ブートストラップ回路を用いる場合、初期始動前、あるいは、IPMの一定時間休止後(1秒程度でも)にはICの定常消費電流 I_{DB} により BSC の電圧が UV 保護レベルより下がっている可能性があるため、始動前に BSC をあらかじめ初期充電する必要があります。

BSC の充電は、通常 N 側 IGBT 全相をオンさせて行います。モータなどの負荷がつながっている場合は、1相をオンさせるだけでもモータ内配線を通して、他相の出力端子電位も低下し充電できる場合があります。ただし、モータ内の配線抵抗などにより、コンデンサの充電効率は低下する可能性があります。

充電は、ワンパルスで行う方法と、15V 制御電源の供給能力などの制限がある場合に複数回のオンパルスにて行う方法もあります。

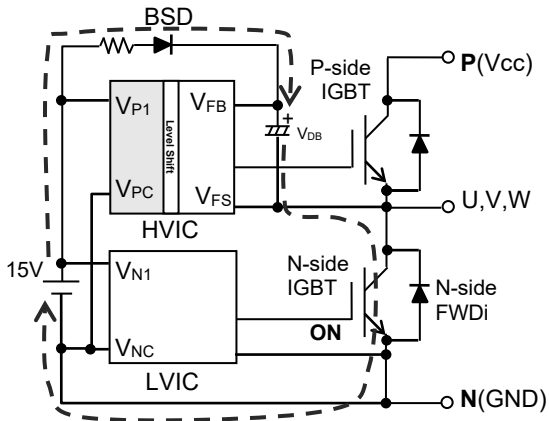


図 4-4-1 初期充電経路

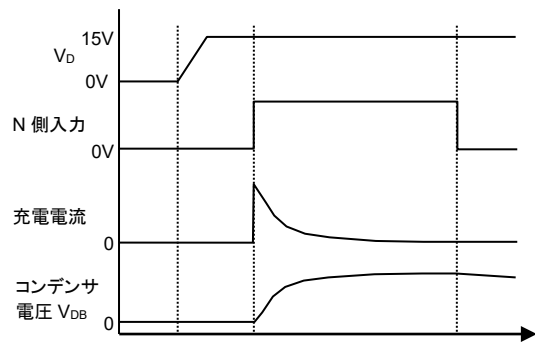


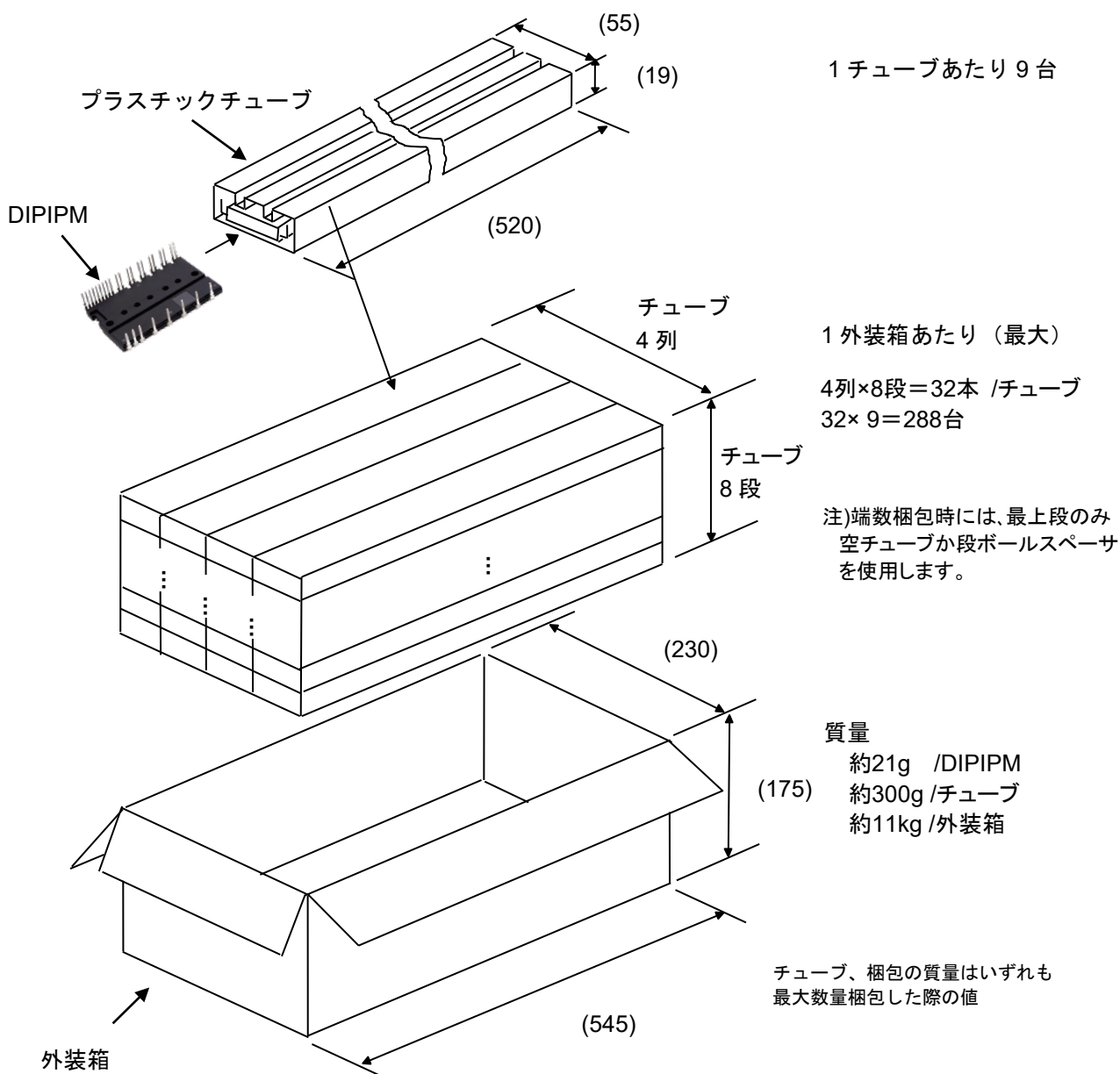
図 4-4-2 ワンパルスでの充電波形例

初期充電は、少なくとも V_{DB} の推奨電源電圧範囲である 13V 以上になるまで実施してください。(充電後、インバータ動作開始までの時間の低下分を考慮して、13V より高めに充電することを推奨します。)

BSC が十分に充電された後、インバータ(PWM 入力)スタート前に P 側保護状態のリセット用オンパルスを 1 パルス入力することを推奨いたします。入力するパルス幅は、各製品に規定の最小許容入力オンパルス幅(PSSxxS72FT であれば 2.0 μ s)で問題ありません。

第5章 その他

5.1 梱包仕様



箱の底及び最上段のチューブの上には、板状のスペーサが入ります。また、上部に空間がある場合、エアキャップが入ります。

図 5-1-1 梱包仕様

5. 2 取り扱いの注意



<p>運送・運搬方法</p>	<ul style="list-style-type: none"> ・運送中は梱包箱を正しい向きに置いてください。逆さにしたり、立てかけたり不自然な力を加えると、電極端子が変形したり樹脂ケースが壊れる原因になります。 ・投げたり、落したりすると素子が壊れる原因になります。 ・水に濡れると使用時の故障原因になります。降雨、降雪時の運搬には濡らさないように注意してください。
<p>保管方法</p>	<ul style="list-style-type: none"> ・本製品を保管する場所の温度及び湿度は、5～35℃、45～75%の常温常湿範囲内が望ましく、この温度、湿度から極度にかけ離れた環境では素子の性能や信頼性を低下させることがあります。
<p>長期保存</p>	<ul style="list-style-type: none"> ・本製品を長期(1年以上)に保管する場合は、除湿対策をしてください。なお、長期保管後、ご使用の際は、外観に傷、汚れ、錆等がないことを確認してください。
<p>使用環境</p>	<ul style="list-style-type: none"> ・水や有機溶剤が直接付着する場所、腐蝕性ガスを発生する場所、また、爆発性ガス、粉塵、塩分などのあるところでの使用は重大な事故につながる可能性がありますので避けてください。
<p>難燃性について</p>	<ul style="list-style-type: none"> ・エポキシ充填樹脂およびケース材料には UL 規格の 94-V0 認定品を使用していますが、不燃性ではありません。
<p>静電気対策</p>	<ul style="list-style-type: none"> ・DIIPM は MOS ゲート構造を有する専用 IC を使用しています。静電気による破壊を防止するために下記事項を守ってください。 (1)静電気破壊に対する注意事項 人体や梱包材料などに帯電した静電気が端子に印加されると、素子が破壊することがあります。静電気対策の基本は、静電気の発生をできるだけ押さえることと帯電した電荷をすばやく逃がすことが大切です。 ・運搬、保存に静電気を帯びやすい容器は使用しないでください。 ・DIIPM は、使用する直前までチューブから出さないでください。また素手で端子を絶対に触らないようにしてください。 ・組立時、使用機器や人体を接地して作業を行ってください。 また、作業台表面および作業台周囲の床は導電性マットを敷き、接地することを推奨します。 ・素子を実装したプリント基板上で各制御端子間がオープンになっていると、プリント基板に帯電した静電気により破壊することがありますのでご注意ください。 ・半田ゴテを使用する場合は、コテ先をアースしてください。 (2)各制御端子間開放時の注意事項 ・各制御端子間がオープン状態で、コレクタ・エミッタ間に電圧を印加しないでください。 ・素子を取外す場合、各制御端子間を短絡してから取外してください。

特記事項

本資料に記載されている情報は、いかなる場合でも、条件、特性及び品質を保証するものではありません。弊社半導体製品は必ず本資料に記載された最大定格の範囲内でご使用いただき、また、適用される法令による要求、規範及び基準をお客様が遵守することを前提としております。

なお、弊社の権限を有する者が署名した書面による明示の承諾がある場合を除き、人身事故を招くおそれのある用途に弊社半導体製品を使用することはできません。

パワー半導体製品は、長期の信頼性（パワーサイクルやサーマルサイクル等）について寿命を有していることや、特殊環境下（結露、高湿度、高粉塵、高塩分、高地、有機物・腐食性ガス・爆発性ガスが多い環境、端子部等への過度な応力等）での使用により、故障が発生したり、誤動作したりする場合がありますので、十分ご注意ください。また、技術的要件によっては弊社半導体製品に環境規制物質等が含まれる可能性があります。詳細確認を要する場合には、最寄りの弊社営業所、あるいは代理店までお問い合わせください。

本資料の内容・データは、専門技術・教育を受けられた技術者を対象としています。弊社半導体製品のお客様用途への適合性及び適合性に関する弊社製品データの完全性については、お客様の技術部門の責任にて評価・判断してください。なお、貴社製品への適用検討にあたって、弊社半導体製品単体で評価するだけでなく、システム全体で十分に評価し、適用可否をご判断ください。必要に応じ、電源と半導体製品の間に適切な容量のヒューズまたはブレーカーを取り付けて二次破壊を防ぐなど、安全設計に十分ご注意ください。関連するアプリケーションノート・技術資料も合わせてご参照ください。

安全設計に関するお願い

弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりますは、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (www.MitsubishiElectric.co.jp/semiconductors) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。