

プレーナ型SiC-MOSFETのオン抵抗低減化技術

谷岡寿一* 日野史朗**
海老池勇史* 海老原洪平***
折附泰典*

Low On-Resistance Technology for Planer SiC-MOSFET

Toshikazu Tanioka, Yuji Ebiike, Yasunori Oritsuki, Shiro Hino, Kohei Ebihara

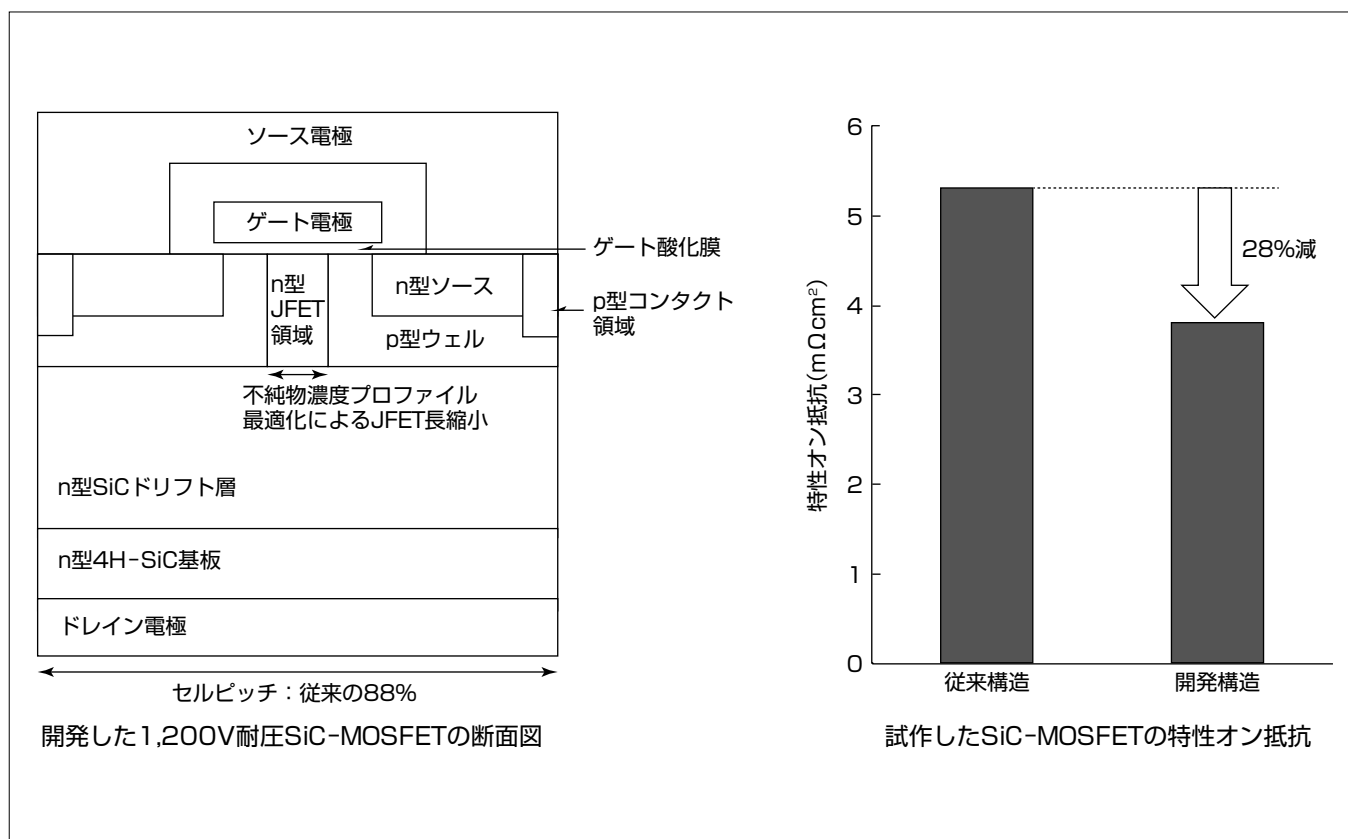
要旨

SiC(Silicon Carbide)を用いたパワーデバイスは、パワーエレクトロニクス機器の更なる低損失化、小型化を実現する次世代のキーデバイスとして注目を集めている。

三菱電機はSiC-SBD(Schottky Barrier Diode)やSiC-MOSFET(Metal Oxide Semiconductor Field Effect Transistor)の開発を進め、これまで幅広い用途のSiCモジュールを製品化し、家電製品、FA機器、鉄道車両に搭載することで省エネルギー効果を実証してきた。

現在、更なる低損失化のため、次世代プレーナ型SiC-MOSFETの開発を行っている。1,200V耐圧SiC-MOSFETのオン抵抗を更に低減するには、オン抵抗に占

める割合が高いチャンネル部の抵抗を、MOSセルのシュリンクなどによって低減することが効果的である。デバイスシミュレーション及び試作をもとに、MOSセルをシュリンクした場合の課題であるJFET(Junction Field Effect Transistor)長の縮小と低抵抗化の両立を実現し、従来比28%減となる特性オン抵抗 $3.8\text{m}\Omega\text{cm}^2$ の1,200V耐圧SiC-MOSFETを実現した。また、耐圧終端部の注入構造の最適化によって、従来と比較して耐圧終端部の縮小が可能であることを示し、有効領域 1cm^2 の1,200V耐圧SiC-MOSFET大電流チップに適用して低損失でロバスト性に優れた動作を確認した。



開発したプレーナ型1,200V SiC-MOSFETの断面構造と特性オン抵抗

JFET領域、p型ウェル領域の不純物濃度プロファイルを最適化することでMOSセル密度を29%向上させた1,200V耐圧SiC-MOSFETの試作に成功し、特性オン抵抗の28%低減を確認した。

1. ま え が き

持続可能な社会を実現するため、省エネルギー化、省資源化に向けた取組みが世界規模で進められている。半導体パワーデバイスは、電力を効率よく制御する電子部品として、家電製品から産業機器、電鉄・電力系統にいたる広い分野で使用されており、電力変換器の低損失化や小型・軽量化に大きく貢献している。

SiCを用いたパワーデバイスは、パワーエレクトロニクス機器の更なる低損失化、小型化を実現する次世代のキーデバイスとして注目を集めている。SiCは高い絶縁破壊電界強度を持つため、Si(Silicon)よりも高耐圧でオン抵抗の低いデバイスが実現できる。また、ユニポーラデバイスのMOSFETとSBDで高耐圧素子を作製できるため、Siのバイポーラデバイスに比べてスイッチング損失を大幅に低減することができる。

当社はSiC-SBDやSiC-MOSFETのデバイス開発を進め、これまで幅広い用途のSiCモジュールを製品化し、家電製品、FA機器、鉄道車両に搭載することで、省エネルギー効果を実証してきた⁽¹⁾⁽²⁾。

本稿では、1,200V耐圧プレーナ型SiC-MOSFETの低オン抵抗構造の開発と試作結果について述べる。

2. 1,200V耐圧SiC-MOSFETの低オン抵抗構造

2.1 チャンネル部抵抗の低減

プレーナ型nチャンネルSiC-MOSFETの断面構造を図1に、1,200V耐圧クラスのSiC-MOSFETのオン抵抗に占める各種抵抗成分の割合を図2に示す。

主な抵抗成分は、チャンネル抵抗(R_{CH})、p型ウェル部に囲まれた領域のJFET抵抗(R_{JFET})、ドリフト抵抗(R_{DRIFT})、基板抵抗(R_{SUB})の4つで構成される。SiC-MOSFETの実効的なチャンネル移動度は、バルクの電子移動度に比べて小さいため、 R_{CH} はオン抵抗全体の50%以上の割合を占める。このため、素子のオン抵抗を低減するには、 R_{CH} を下げるのが最も効果的である。

SiC-MOSFETの抵抗を下げるには、セルピッチをシュリンクすることで総チャンネル幅を増やす手法、チップ面積に対する電流を流す有効領域の割合を増やす手法などがあるが、プレーナ型MOSFETは、セルピッチを過度にシュリンクしてしまうとJFET領域が狭くなり、逆に抵抗が増加することになる。

今回の開発構造では、JFET領域のn型不純物濃度をドリフト層のn型不純物濃度よりも高濃度化することで、JFET長の縮小と低抵抗化の両立を実現している⁽³⁾。

図3にJFET領域の濃度が現行仕様(n型ドリフト層と同じ濃度)のものと、n型不純物を注入することでJFET領域の濃度を $5.0e+16cm^{-3}$ 、 $2.0e+17cm^{-3}$ と変化させた場合

のJFET長とオン抵抗の関係(シミュレーション値)を示す。

JFET領域のn型不純物濃度を上げるほどJFET長を縮小でき、かつオン抵抗が小さくなるが、JFET長を過度に縮小すると電流経路が狭まり、オン抵抗が顕著に増加することが分かる。JFET長変動に対するロバスト性や遮断特性、信頼性への影響を考慮し、JFET長、JFET部注入濃度、p型ウェル濃度プロファイルを最適化した。

2.2 耐圧終端領域の縮小

デバイスシミュレーションを用いて、耐圧終端部のp型注入領域の幅や間隔の最適化検証を行った。図4に断面構

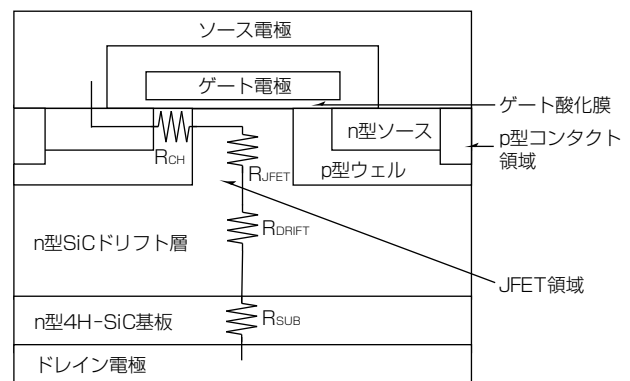


図1. プレーナ型SiC-MOSFETの断面構造

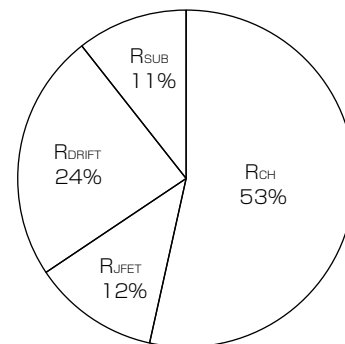


図2. 1,200V耐圧クラスのオン抵抗に占める各種抵抗の割合

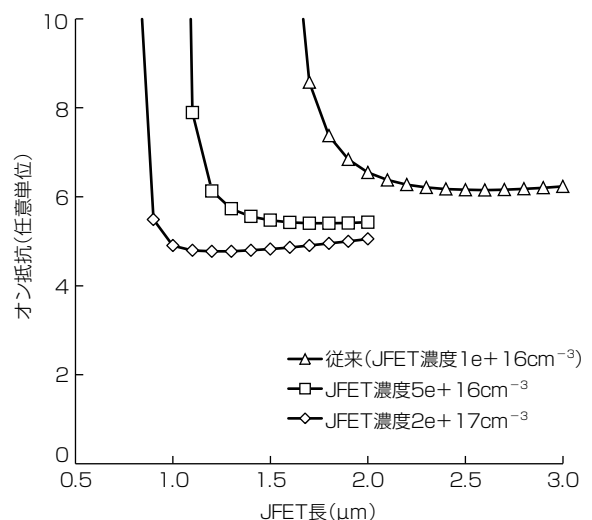
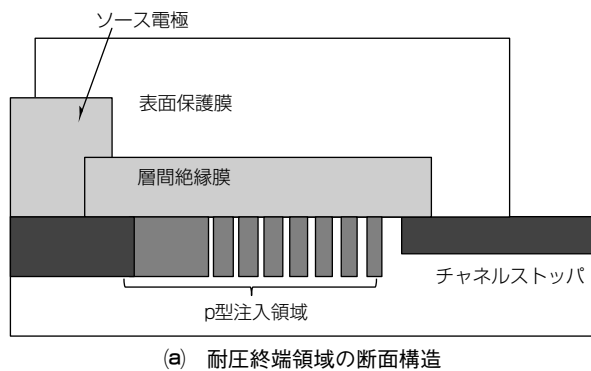
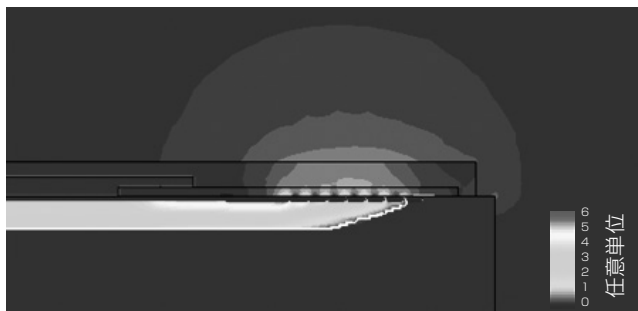


図3. JFET長とオン抵抗の関係



(a) 耐圧終端領域の断面構造



(b) 1,200V印加時の電界強度分布

図4. 耐圧終端構造と電界強度分布

造と1,200V印加時の耐圧終端領域の電界強度分布を示す。SiCデバイスでは素子周辺部の耐圧終端領域の電界強度がSiデバイスに比べ高くなるため、電界強度を下げて耐圧を確保する構造設計が非常に重要である。p型注入リングの本数を従来構造の2/3に削減することで、耐圧終端幅を従来品に比べて50%縮小できることが分かった。今回、最適化した耐圧終端領域の電界強度分布は局所的に高電界となる箇所がなく、SiCの絶縁破壊電界強度に対し十分低い電界強度に維持できている。

3. SiC-MOSFETの試作と電気特性評価

3.1 SiC-MOSFETの試作

最適化したセル構造(セルピッチ8.8 μm)を持つ1,200V耐圧SiC-MOSFETを4H型SiCエピウェーハ上に試作した。p型ウェル領域、n型ソース領域、p型コンタクト領域、JFET領域にイオン注入を行った後に、熱処理で不純物を活性化した。厚み方向の注入プロファイルに関しては、MOSFETのチャネル特性やゲート酸化膜電界に影響を及ぼさないよう、ドリフト層の表面近傍を避けてイオン注入を実施した。MOSFETのサイズは100 μm 角と1cm角の2種類とした。終端領域には新しく開発したシュリンク構造を採用している。

3.2 静特性評価

サイズ100 μm 角のMOSFETを用いて静特性を測定し、従来のセル構造と最適化したセル構造で比較評価した。

図5に試作したSiC-MOSFETの典型的な出力特性を示す。ゲート電圧15Vで、従来構造のドレイン電流密度

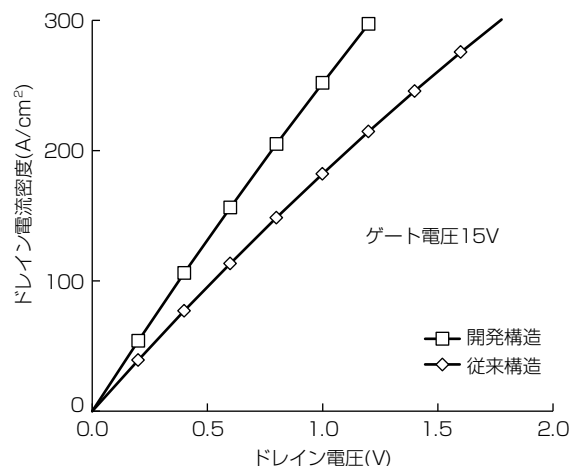


図5. SiC-MOSFETの出力特性

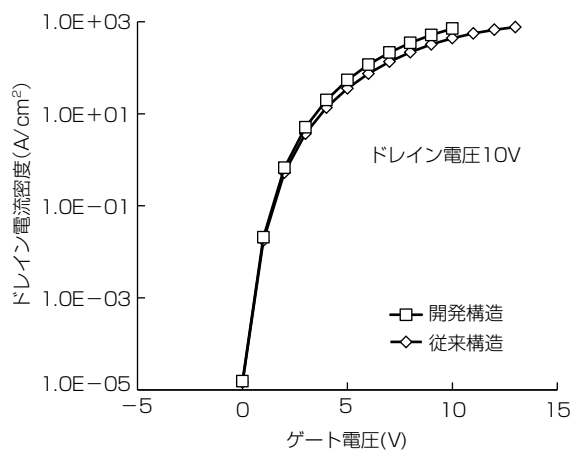


図6. SiC-MOSFETの伝達特性

100A/cm²でのオン抵抗は5.3m Ωcm^2 である。一方、最適化構造を適用することで、オン抵抗は3.8m Ωcm^2 まで低減することが確認できた。

図6にSiC-MOSFETの伝達特性を示す。ドレイン電圧10Vで、ドレイン電流密度100mA/cm²でのしきい値電圧は従来構造、最適化構造ともに1.4Vである。JFET領域を縮小しても、チャネル構造が同じであれば同等のしきい値電圧が得られる。

3.3 耐圧特性

従来構造と開発構造の耐圧特性を比較した。図7に耐圧特性を示す。ドレイン電圧1,200Vで、ドレインリーク電流は従来構造、開発構造ともに数nA程度である。またブレークダウン電圧は従来構造、開発構造ともに1,500V程度である。これらの結果から、従来構造と同等の耐圧特性を確保できていることが分かった。

3.4 スイッチング特性評価

最適化したセル構造を適用した有効面積1cm角のMOSFETとSiC-SBDを用いて600V/300Aのスイッチング試験を実施した⁽⁴⁾。図8に試作したSiC-MOSFETのターンオフ波形及びターンオン波形を示す。スイッチン

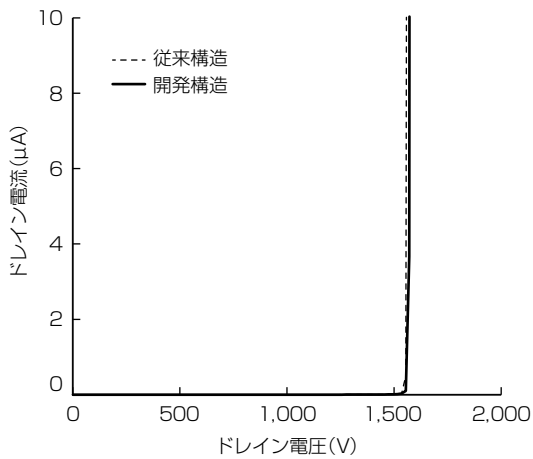


図7. SiC-MOSFETの耐圧特性

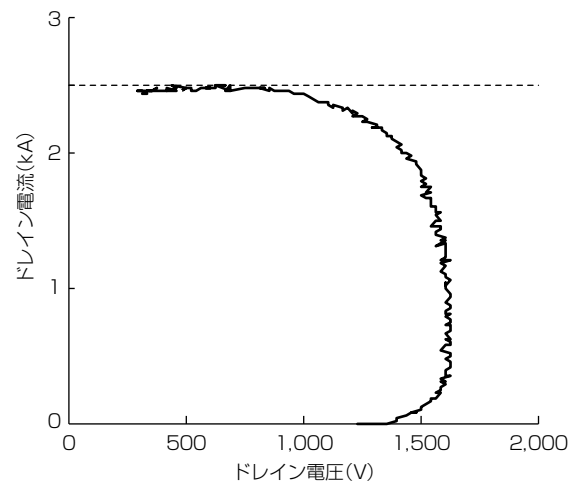
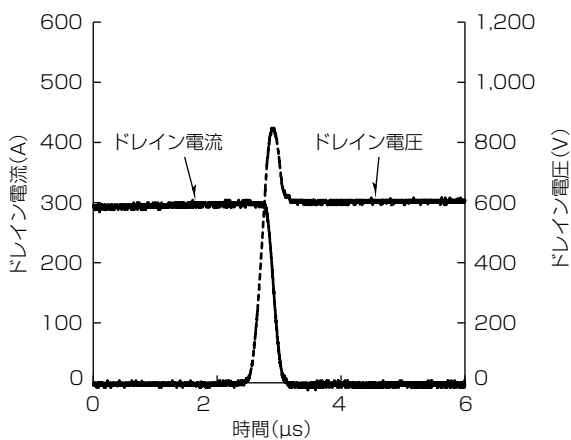
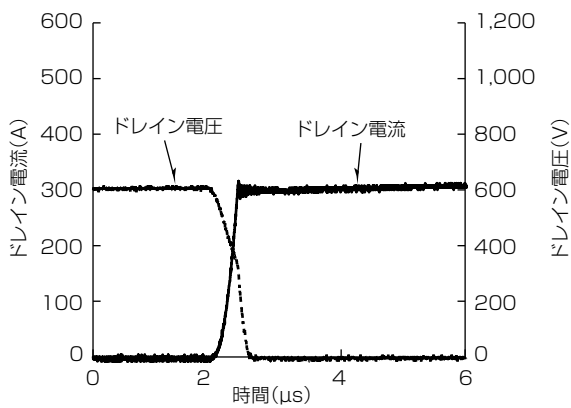


図9. RBSOAリサージェ波形



(a) ターンオフ波形



(b) ターンオン波形

図8. SiC-MOSFETのスイッチング波形

グ試験でゲート抵抗は29.3Ωとした。ターンオフ及びターンオン損失はそれぞれ53mJ, 22mJであり、蓄積キャリアによる電流成分のない波形が得られている。

ゲート抵抗2Ωで高速スイッチングしたときのRBSOA (Reverse Bias Safe Operating Area) 耐量を評価した。図9にリサージェ波形を示す。測定機の限界である2,500Aまで遮断できる耐量を保有していることを確認した。

これらの結果から、開発した1,200V耐圧SiC-MOSFET

は実使用に適したスイッチング性能とSOA (Safe Operating Area) を持つことが示された。

4. むすび

JFET領域のn型濃度プロファイルを最適化することでセル密度を向上させ、低オン抵抗な1,200V耐圧SiC-MOSFETを実現した。オン抵抗を従来構造の72%まで低減でき、また、従来構造の50%まで縮小した耐圧終端幅で十分な耐圧を保持できた。

今後はこの構造を採用したSiC-MOSFETチップをモジュールに搭載し、製品展開していく予定である。

この研究の一部は、国立研究開発法人新エネルギー・産業技術総合研究開発機構 (New Energy and industrial technology Development Organization : NEDO) から委託された“低炭素社会を実現する新材料パワー半導体プロジェクト”の成果によってなされたものである。

参考文献

- (1) 三菱電機ニュースリリース：小田急電鉄車両での「フルSiC適用VVVFインバータ装置」のお知らせ, 2015年6月22日
<http://www.mitsubishielectric.co.jp/news/2015/0622-a.html>
- (2) 三菱電機ニュースリリース：駆動回路と保護回路を内蔵したフルSiC-IPMを世界で初めて開発, 2011年2月16日
<http://www.mitsubishielectric.co.jp/news/2011/0216-b.html>
- (3) 濱田憲治, ほか：3.3kV耐圧SiC-MOSFETの低抵抗化技術, 三菱電機技報, **88**, No.5, 309~312(2014)
- (4) Hino, S.: Investigation on Internally Unbalanced Switching Behavior for Realization of 1-cm² SiC-MOSFET, Materials Science Forum 778~780 (2013)